SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP2001056723
Publication date: 2001-02-27
Inventor(s): TOMITA HIROYOSHI
Applicant(s): FUJITSU LTD
Requested Patent: JP2001056723
Application Number: JP19990232720 19990819
Priority Number(s):
IPC Classification: G06F1/10; G06F1/12; G11C11/407; H03K5/135; H03K19/0175; H03L7/081
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit capable of rightly comparing phases at all the time without depending on the frequencies of clock signals by switching a delay step to be selected by a switch circuit, applying ratio information to an auxiliary circuit and performing control for matching the phases of reference clock and internal clock signal.
SOLUTION: Corresponding to the ratio information supplied from a control circuit 25, an interpolation circuit 24 generates the internal clock signal of a phase having a transition edge between the transition edge of the first clock signal and the transition edge of the second clock signal. A phase comparator circuit 26 compares the phases of the reference clock signal and the internal clock signal. On the basis of the compared result of the phase comparator circuit 26, a control circuit 25 precisely controls the phase of the internal clock signal by applying the ratio information to the interpolation circuit 24 so as to match the phases of the internal clock signal and the reference clock signal. Control due to the control circuit 25 is continued until the phases are matched.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2001－56723
（P2001－56723A）
(43)公開日　平成13年２月27日(2001.2.27)

(51)Int.Cl.'	識別記号	FI		テーマコード'（参考）
G06F 1/10		G06F 1/04	330A	5B024
1/12		H03K 5/135		5B079
G11C 11/407		G06F 1/04	340A	5J001
H03K 5/135		G11C 11/34	354C	5J056
19/0175			362S	5J106

審査請求　未請求　請求項の数５　ＯＬ　（全 48 頁）　最終頁に続く

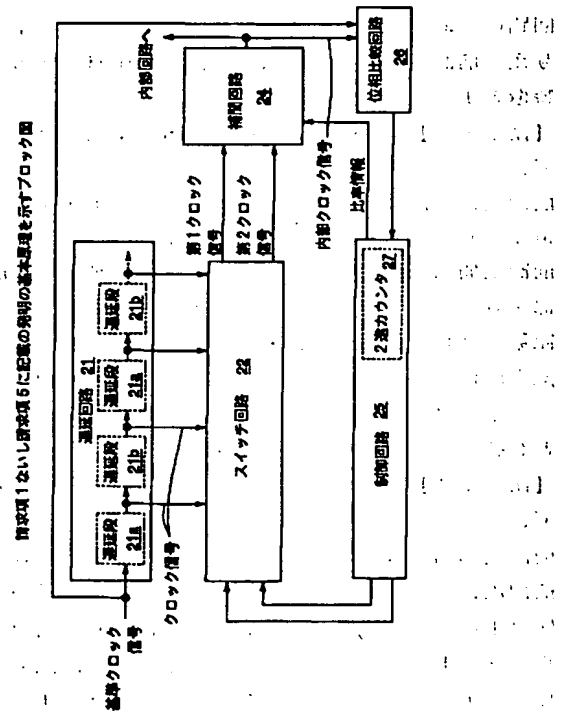
(21)出願番号　特願平11－232720
(22)出願日　平成11年８月19日(1999.8.19)

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(72)発明者　富田　浩由
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内
(74)代理人　100072718
弁理士　古谷　史旺　（外１名）

最終頁に続く

(54)【発明の名称】　半導体集積回路

(57)【要約】
【課題】　本発明は、DLL回路を搭載した半導体集積回路に関し、クロック信号の周波数に依存せず位相比較を正しく行うことを目的とする。
【解決手段】　遅延段が縦続接続され、基準クロック信号を受けて各遅延段からクロック信号を出力する遅延回路と、奇数段目の遅延段から第１クロック信号を選択し、偶数段目の遅延段から第２クロック信号を選択するスイッチ回路と、第１、第２クロック信号の遷移エッジの間に遷移エッジを有する位相の内部クロック信号を、比率情報に応じて生成する補間回路と、基準クロック信号、内部クロック信号の位相を比較する位相比較回路と、位相比較回路の比較結果に基づいて、第１、第２スイッチ回路の切り替えを行うとともに、補間回路に比率情報を与えて内部クロック信号の位相をずらし、基準クロックと内部クロック信号との位相を一致させる制御を行う制御回路とを備えたことを特徴とする。



1

【特許請求の範囲】

【請求項１】　所定の遅延時間を有する遅延段が縦続接続され、基準クロック信号を受けて前記各遅延段からそれぞれ遅延したクロック信号を出力する遅延回路と、

前記遅延回路における奇数段目の前記遅延段から出力される前記クロック信号のいずれかを第１クロック信号として選択し、前記第１クロック信号を出力する前記遅延段に隣接する偶数段目の前記遅延段から出力される前記クロック信号の一方を第２クロック信号として選択するスイッチ回路と、

前記第１クロック信号の遷移エッジと前記第２クロック信号の遷移エッジとの間に遷移エッジを有する位相の内部クロック信号を、比率情報に応じて生成する補間回路と、

前記基準クロック信号の位相と、前記内部クロック信号の位相とを比較する位相比較回路と、

前記位相比較回路の比較結果に基づいて、前記スイッチ回路が選択する前記遅延段の切り替えを行うとともに、前記補間回路に前記比率情報を与えて、前記基準クロックと前記内部クロック信号との位相を一致させる制御を行う制御回路とを備えたことを特徴とする半導体集積回路。

【請求項２】　請求項１記載の半導体集積回路において、

前記制御回路は、

位相比較の開始時に、前記位相比較回路の比較結果に応じて前記スイッチ回路を制御し、前記内部クロック信号の位相を粗調整し、

前記基準クロックと前記内部クロック信号との位相差が前記遅延段の遅延時間以下になった後に、前記位相比較回路の比較結果に応じて前記補間回路に前記比率情報を与え、前記内部クロック信号の位相を微調整することを特徴とする半導体集積回路。

【請求項３】　請求項２記載の半導体集積回路において、

前記制御回路は、２進カウンタのカウント値を前記比率情報として出力し、

前記補間回路は、前記２進カウンタの増加時に、前記内部クロック信号の位相を前記第１クロック信号側から前記第２クロック信号側に変化させ、前記２進カウンタの減少時に、前記内部クロック信号の位相を前記第２クロック信号側から前記第１クロック信号側に変化させることを特徴とする半導体集積回路。

【請求項４】　請求項３記載の半導体集積回路において、

前記制御回路は、前記粗調整により前記基準クロックと前記内部クロック信号との位相差が前記遅延段の遅延時間以下になった後に、前記比較結果に応じて前記２進カウンタの上位側の２ビットの値を増加または減少する動作を、下位側に向けて順次行うことを特徴とする半導体

2

集積回路。

【請求項５】　請求項１記載の半導体集積回路において、

前記制御回路は、使用していない後段側の前記遅延段の少なくとも一つを非活性化することを特徴とする半導体集積回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、クロック同期式の半導体集積回路に関し、特に、内部回路で使用する内部クロック信号を外部クロック信号に同期させるDLL（Delay Locked Loop）回路を搭載した半導体集積回路に関する。

【０００２】

【従来の技術】クロック同期式の半導体集積回路として、SDRAM（Synchronous DRAM）、DDR-SDRAM（Double Data Rate-Synchronous DRAM）等が知られている。この種の半導体集積回路では、外部から供給されるクロック信号に同期して内部回路を動作させ、データの入出力を行っている。一般に、半導体集積回路は、データの出力端子を複数本備えている。これ等出力端子から出力される各出力データには、チップ上の回路レイアウトに依存する信号線の配線長により、スキューが発生する。スキューは、クロック周波数が高くなるほど相対的に大きくなる。近時、動作周波数が100MHzを越えるSDRAM、DDR-SDRAMが開発されており、上記スキューは、無視できなくなってきている。

【０００３】このようなスキューを低減するため、DLL回路を搭載した半導体集積回路が開発されている。DLL回路は、内部回路で使用する内部クロック信号を外部からの基準クロック信号に対して所定の位相を調整する回路であり、例えば、特開平１０－１１２１８２号公報に基本的な構成が開示されている。また、遅延時間の調整単位の粗いラフ用遅延回路と、遅延時間の調整単位の細かいファイン用遅延回路とを備えたDLL回路が提案されている。この種のDLL回路では、位相調整の精度を高め、同時に内部クロック信号の揺らぎ（ジッタ）を低減することができる。

【０００４】図６３は、本出願人により提案されたDLL回路を搭載した半導体集積回路の一例を示している。なお、図６３に示した回路は、未だ公知ではない。この半導体集積回路は、外部から取り込んだクロック信号CLKを内部クロック信号ICLKとして出力する入力バッファ１と、内部クロック信号ICLKから所定時間遅延した内部クロック信号ICLK2を生成する遅延クロック生成部２と、メモリセル等から読み出されるデータ信号DATAを内部クロック信号ICLK2に同期して出力データ信号DOUTとして出力する出力バッファ３と、遅延クロック生成部２を制御し、内部クロック信号ICLK2の位相をクロック信号CLKの位相に合わせる位相制御部４と、遅延クロック生成部

２および位相制御部４の動作を同期させるスタート信号STARTを生成する開始信号発生器５とを備えている。

【０００５】遅延クロック生成部２は、ラフ可変遅延回路６とファイン可変遅延回路７とを備えている。ラフ可変遅延回路６は、遅延時間の長い複数の遅延段（図示せず）を縦続接続して構成されており、遅延段の接続数に応じて遅延時間の大まかな調整を行う回路である。ラフ可変遅延回路６は、ラフ遅延制御回路１３の制御を受けて、遅延段の接続数を増加（シフトアップ）または減少（シフトダウン）する。

【０００６】ファイン可変遅延回路７は、遅延時間の短い複数の遅延段（図示せず）を縦続接続して構成されており、これ等遅延段の接続数に応じて遅延時間の細かい調整を行う回路である。ファイン可変遅延回路７は、ファイン遅延制御回路１５の制御を受けて、遅延段の接続数を増加（シフトアップ）または減少（シフトダウン）する。ファイン可変遅延回路７の遅延時間の最大値は、ラフ可変遅延回路６の遅延段１段分の遅延時間より若干大きくされている。

【０００７】位相制御部４は、分周器８、９と、出力バッファ３と等価なダミー出力バッファ１０と、入力バッファ１と等価なダミー入力バッファ１１と、ラフ位相比較器１２と、ラフ遅延制御回路１３と、ファイン位相比較器１４と、ファイン遅延制御回路１５と、段数設定回路１６と、段数検出回路１７と、DLL制御回路１８とを備えている。

【０００８】分周器８は、内部クロック信号ICLKの周波数を分周して内部クロック信号/CLK1を生成し、ラフ位相比較器１２およびファイン位相比較器１４に出力している。ここで、クロック信号/CLK1の“/”は、クロック信号CLKに対して論理が反転していることを示している。分周器９は、内部クロック信号ICLK2の周波数を分周して内部クロック信号ICLK3を生成し、ダミー出力バッファ１０に出力している。分周器８、９の分周率は、例えば４分の１にされている。クロック信号ICLK、ICLK2を分周することで、高周波時の位相比較が容易にされるとともに消費電力が低減される。

【０００９】ダミー出力バッファ１０から出力された信号は、ダミー入力バッファ１１に供給され内部クロック信号DICLKとしてラフ位相比較器１２およびファイン位相比較器１４に出力されている。段数設定回路１６は、ラフ遅延制御回路６の遅延段の１段と等価な遅延回路、およびファイン可変遅延回路７と等価な遅延回路を有している。段数設定回路１６は、ラフ可変遅延回路６の遅延段１段分の遅延時間が、ファイン可変遅延回路７の何段分に相当するかを常に監視し、その段数を最大段数信号J2としてファイン遅延制御回路１５および段数検出回路１７に出力している。なお、最大段数信号J2は、半導体集積回路の動作電圧、周囲温度により変化する。

【００１０】段数検出回路１７は、ファイン可変遅延回路７の遅延段の使用段数である段数信号J1および最大段数信号J2を受け、段数信号J1が最大段数信号J2になったとき、および段数信号J1が最小値になったときに、それぞれ、オーバーフロー信号OF、およびアンダフロー信号UFを出力する機能を有している。DLL制御回路１８は、ラフ位相比較器１２から位相一致信号SJTRを受け、段数検出回路１７からオーバーフロー信号OF、アンダフロー信号UFを受け、選択信号S1、S2、増加信号UP、減少信号DOWNを出力している。DLL制御回路１８は、位相一致信号JSTRの非活性化時に、選択信号S1を活性化し、選択信号S2を非活性化し、位相一致信号JSTRの活性化時に、選択信号S1を非活性化し、選択信号S2を活性化する機能を有している。また、DLL制御回路１８は、ファイン位相比較器１４の動作時において、オーバーフロー信号OFを受けたときに、ラフ位相比較器１２にシフトアップ信号UPを出力し、アンダフロー信号UFを受けたときに、ラフ位相比較器１２にシフトダウン信号DOWNを出力する機能を有している。

【００１１】ラフ位相比較器１２は、選択信号S1の活性化を受け、内部クロック信号/CLK1と内部クロック信号DICLKとの位相を比較し、比較結果をラフ遅延制御回路１３に出力する回路である。ラフ位相比較器１２は、内部クロック信号DICLKと内部クロック信号/CLK1との位相が一致したときに位相一致信号SJTRを活性化する機能と、シフトアップ信号UPを受けたときにラフ可変遅延回路６をシフトアップする機能と、シフトダウン信号DOWNを受けたときにラフ可変遅延回路６をシフトダウンする機能と、ラフ可変遅延回路６をシフトアップおよびシフトダウンしたときにそれぞれリセット信号MIN、セット信号MAXを出力する機能とを有している。

【００１２】ラフ遅延制御回路１３は、ラフ位相比較器１２での比較結果に基づいて、ラフ可変遅延回路６をシフトアップ、シフトダウンし遅延時間を調整する機能を有している。すなわち、ラフ遅延制御回路１３は、内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相に対して進んでいる場合には、遅延段の接続数を１つ増加し、内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相に対して遅れている場合には、遅延段の接続数を１つ減少する。

【００１３】ファイン位相比較器１４は、制御信号S2の活性化を受け、内部クロック信号DICLKと内部クロック信号/CLK1との位相を比較し、比較結果をファイン遅延制御回路１５に出力する回路である。ファイン遅延制御回路１５は、ファイン位相比較器１４での比較結果に基づいて、ファイン可変遅延回路７をシフトアップ、シフトダウンし、遅延時間を調整する機能を有している。すなわち、ファイン遅延制御回路１５は、内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相に対して進んでいる場合には、遅延段の接続数を１つ増加し、内部クロック信号DICLKの位相が内部クロック信号/CLK1の

位相に対して遅れている場合には、遅延段の接続数を１つ減少する。また、ファイン遅延制御回路１５は、リセット信号MINを受けたときに、ファイン可変遅延回路７の遅延段の接続数を最小にする機能と、セット信号MAXを受けたときに、ファイン可変遅延回路７の遅延段の接続数を最大段数信号J2と同一にする機能と、現在のファイン可変遅延回路７の遅延段の接続数を段数信号J1として出力する機能とを有している。

【００１４】開始信号発生器５は、内部クロック信号ICLKを受け、開始信号STTを出力している。リセット信号/RESETの解除時に、内部クロック信号ICLKの立ち下がりに同期して開始信号STTを活性化する回路である。遅延クロック生成部２および分周器８、９は、開始信号STTの活性化を受けて動作を開始する。図６４は、上記各回路が行う位相調整の制御を示すフローチャートである。位相調整の制御は、リセット信号/RESETの解除により開始される。

【００１５】まず、ステップＳ１では初期設定が行われる。図６３に示した段数設定回路１６は、ラフ可変遅延回路６の遅延段１段分の遅延時間が、ファイン可変遅延回路７の何段分に相当するかを求め、最大段数信号J2として出力する。また、位相制御部４が初期化され、ラフ可変遅延回路６、ファイン可変遅延回路７の遅延段の接続数が初期値に設定される。DLL制御回路は、選択信号S1を活性化し、選択信号S2を非活性化する。

【００１６】次に、ステップＳ２からステップＳ５で、ラフ可変遅延回路６の初期調整が行われる。ステップＳ２において、位相制御部４は、分周器８、９の分周率を４分の１に設定する。分周器８は、内部クロック信号ICLKを受け、分周した内部クロック信号/CLK1を出力する。分周器９は、内部クロック信号ICLK2を受け、分周した内部クロック信号ICLK3を出力する。

【００１７】ステップＳ３において、ラフ位相比較器１２は、内部クロック信号/CLK1と内部クロック信号DICLKとの位相を比較し、比較結果をラフ遅延制御回路１３に出力する。このとき、ファイン位相比較器１４は、選択信号S2の非活性化を受け、動作を停止している。ステップＳ４において、ラフ位相比較器１２は、ラフ位相比較器１２で比較した両信号の位相が一致したときに、位相一致信号SJTRを活性化する。DLL制御回路１８は、位相一致信号SJTRを受けて選択信号S1を非活性化し、選択信号S2を活性化する。この後、制御は、ステップＳ６に移行する。ラフ位相比較器１２で比較した両信号の位相が一致しないときには、制御は、ステップＳ５に移行する。

【００１８】ステップＳ５において、ラフ遅延制御回路１３は、ラフ位相比較器１２の比較結果に応じてラフ可変遅延回路６をシフトアップまたはシフトダウンし、遅延時間を調整する。この後、制御は、再びステップＳ３に移行する。次に、ステップＳ６からステップＳ１５で、ラフ可変遅延回路６、ファイン可変遅延回路７を使用した位相調整が行われる。

【００１９】まず、ステップＳ６において、ファイン位相比較器１４は、内部クロック信号/CLK1と内部クロック信号DICLKとの位相を比較し、比較結果をファイン遅延制御回路１５に出力する。このとき、ラフ可変遅延回路６は、選択信号S1の非活性化を受け、動作を停止している。

【００２０】ステップＳ７において、ファイン位相比較器１４で比較した両信号の位相が一致したときには、制御は、再びステップＳ６に移行する。内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相より進んでいるときには、制御は、ステップＳ８に移行する。内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相より遅れているときには、制御は、ステップＳ１２に移行する。

【００２１】ステップＳ８において、段数検出回路１７は、段数信号J1と最大段数信号J2とを比較する。段数信号J1が最大段数信号J2と等しいときには、繰り上げ処理が必要と判断され、制御は、ステップＳ１０に移行する。段数信号J1が最大段数信号J2より小さいときには、繰り上げ処理は不要と判断され、制御は、ステップＳ９に移行する。

【００２２】ステップＳ９において、ファイン遅延制御回路１５は、ファイン可変遅延回路７を１段シフトアップし、内部クロック信号ICLK2の位相を遅らせる。ステップＳ１０において、段数検出回路１７は、オーバーフロー信号OFを出力する。DLL制御回路１８は、オーバーフロー信号OFを受けて、シフトアップ信号UPを出力する。ラフ位相比較器１２は、シフトアップ信号UPを受けて、ラフ可変遅延回路６を１段シフトアップし、リセット信号MINを出力する。

【００２３】ステップＳ１１において、ファイン遅延制御回路１５は、リセット信号MINを受けて、ファイン可変遅延回路７の遅延段の接続数を最小に設定する。ステップＳ９、Ｓ１１を実行した後、制御は、再びステップＳ６に移行する。一方、ステップＳ１２において、段数検出回路１７は、段数信号J1が最小値であるかどうかを調べる。段数信号J1が最小値の場合には、繰り下げ処理が必要と判断され、制御は、ステップＳ１４に移行する。段数信号J1が最小値でない場合には、繰り下げ処理は不要と判断され、制御は、ステップＳ１３に移行する。

【００２４】ステップＳ１３において、ファイン遅延制御回路１５は、ファイン可変遅延回路７を１段シフトダウンし、内部クロック信号ICLK2の位相を進める。ステップＳ１４において、段数検出回路１７は、アンダーフロー信号UFを出力する。DLL制御回路１８は、アンダーフロー信号UFを受けて、シフトダウン信号DOWNを出力する。ラフ位相比較器１２は、シフトダウン信号DOWNを受

けて、ラフ可変遅延回路６を１段シフトダウンし、セット信号MAXを出力する。

【００２５】ステップＳ１５において、ファイン遅延制御回路１５は、セット信号MAXを受けて、ファイン可変遅延回路７の遅延段の接続数を最大に設定する。ステップＳ１３、Ｓ１５を実行した後、制御は、再びステップＳ６に移行する。そして、ファイン可変遅延回路７の遅延段の遅延時間単位で位相調整が繰り返して行われる。すなわち、位相制御部４は、ラフ遅延制御回路１３により大まかな位相調整を行った後、ファイン遅延制御回路１５により細かい位相調整を行う。そして、内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相に合わせられる。

【００２６】図６５は、位相調整時の主要な信号のタイミングを示している。図６５では、位相調整が行われ、内部クロック信号/CLK1と内部クロック信号DICLKとの位相が一致している状態を示している。開始信号STTは、リセット信号/RESETが解除されＬレベルになった後、内部クロック信号ICLKの立ち下がりに同期して活性化される（図６５(a)）。内部クロック信号ICLKは、クロック信号CLKの立ち上がりから図５１に示した入力バッファ１の遅延時間Ｔ１だけ遅れて出力される（図６５(b)）。内部クロック信号ICLKは、分周器８により４分の１分周され、分周器８の遅延時間Ｔ２だけ遅れた内部クロック信号/CLK1として出力される（図６５(c)）。内部クロック信号ICLK2は、内部クロック信号ICLKの立ち上がりから遅延クロック生成部２の遅延時間Ｔ３だけ遅れて出力される（図６５(d)）。内部クロック信号ICLK2は、分周器９により４分の１分周され、分周器９の遅延時間Ｔ２だけ遅れた内部クロック信号ICLK3として出力される（図６５(e)）。分周器８、９の遅延時間Ｔ２は同一である。このため、内部クロック信号ICLK3の内部クロック信号/CLK1に対する遅れは、遅延クロック生成部２の遅延時間Ｔ３と等しくなる（図６５(f)）。内部クロック信号ICLK3は、ダミー出力バッファ１０とダミー入力バッファ１１の遅延時間Ｔ４だけ遅れて、内部クロック信号DICLKとして出力される（図６５(g)）。遅延時間Ｔ４は、入力バッファ１および出力バッファ３の遅延時間の合計に等しい。

【００２７】したがって、内部クロック信号/CLK1と内部クロック信号DICLKとの位相が一致した状態では、内部クロック信号/CLK1の半周期（＝クロック信号CLKの２周期）は、遅延クロック生成部２の遅延時間Ｔ３と、入力バッファ１および出力バッファ３の遅延時間Ｔ４との合計と同じになる（図６５(h)）。この合計時間Ｔ３＋Ｔ４は、クロック信号CLKが供給されてから出力データ信号DOUTが出力される時間と同一である。この結果、出力バッファ３から出力される出力データ信号DOUTの位相は、クロック信号CLKの位相に一致する（図６５(i)）。

【００２８】【発明が解決しようとする課題】ところで、図６４に示したフローチャートのステップＳ８、Ｓ１２において、DLL制御回路１８が、「繰り上がり有り」および「繰り下がり有り」と判断した場合、位相制御部４は、それぞれ、ステップＳ１０、Ｓ１１およびステップＳ１４、Ｓ１５を実行する。この際、例えば、ステップＳ１０、Ｓ１１を処理中に、内部クロック信号ICLKが変化すると、遅延段の制御が正しく行われず内部クロック信号ICLK2のタイミングが大きくずれるおそれがある。このため、ステップＳ１０、Ｓ１１の処理、およびステップＳ１４、Ｓ１５の処理は、内部クロック信号ICLKが高レベルの間、または低レベルの間に連続して行う必要がある。換言すると、繰り上がり時および繰り下がり時において、ラフ可変遅延回路６のシフト動作およびファイン可変遅延回路７のセット・リセット動作は、内部クロック信号ICLKが高レベルの間、または低レベルの間に連続して行う必要がある。

【００２９】しかしながら、クロック信号CLKの周波数が高くなるにしたがい、このような制御に必要なタイミング余裕が減少している。特に、クロック信号CLKの周波数が100MHzを越える半導体集積回路では、制御が困難になってきている。

【００３０】また、上述した半導体集積回路では、段数設定回路１６は、ラフ可変遅延回路６の遅延段の１段の遅延時間がファイン可変遅延回路７の何段分に相当するかを求めている。段数設定回路１６は、ラフ可変遅延回路６の遅延段と等価な回路で構成されているため、実際のラフ可変遅延回路６の遅延段の１段の遅延時間に対して誤差を有している。この誤差により、内部クロック信号ICLK2には、ジッタが発生するおそれがある。

【００３１】さらに、上述した半導体集積回路では、分周器８、９により分周したクロック信号をラフ位相比較器１２およびファイン位相比較器１４で比較している。しかしながら、半導体集積回路に低い周波数のクロック信号が供給される場合には、ラフ可変遅延回路６の遅延段が数多く必要なり、回路規模が増大するという問題があった。遅延段の数を低減するため、分周器８、９の分周率を下げると、高い周波数のクロック信号CLKが供給される場合に、ラフ位相比較器１２およびファイン位相比較器１４の動作が不安定になる。また、位相比較の頻度が多くなり、消費電力が増大する。

【００３２】一方、遅延時間が可変な複数の遅延段を４段（または８段）縦続接続した遅延回路と、各遅延段から出力されるクロック信号のうち、隣接した２つのクロック信号を受け、内部クロック信号を生成する補間回路と、内部クロック信号の位相と、外部クロック信号の位相とを比較する位相比較回路と、位相比較回路での比較結果に基づいて遅延回路および補間回路を制御する制御回路とを備えた位相調整回路が提案されている。

【００３３】この位相調整回路では、各遅延回路は、外

部クロック信号の周波数に応じて、各遅延段の遅延時間を調整し、位相が９０度（または４５度）ずつずれたクロック信号を出力する。補間回路は、隣接する２つのクロック信号を受け、これ等クロック信号の間に位相を有するクロック信号を生成する。そして、位相比較回路および制御回路は、内部クロック信号の位相と、外部クロック信号の位相とが一致するように遅延回路および補間回路を制御する。

【００３４】しかしながら、この種の位相調整回路では、位相の調整は、外部クロック信号の１周期分しか行うことができないという問題があった。特に、半導体集積回路に高い周波数の外部クロック信号が供給される場合、位相の調整範囲が狭くなってしまう。また、遅延段は、遅延時間を調整できるようにCR時定数回路等の余分な素子を配置しており、そのレイアウトサイズが大きかった。

【００３５】本発明の目的は、クロック信号の周波数に依存せず、常に位相比較を正しく行うことができる半導体集積回路を提供することにある。本発明の別の目的は、位相調整時に、内部クロック信号にジッタが発生することを防止することにある。本発明の別の目的は、位相比較の回数を低減し、位相比較に必要な時間を低減することにある。

【００３６】本発明の別の目的は、遅延時間が固定された遅延段を使用することで、遅延段のレイアウトサイズを小さくすることにある。本発明の別の目的は、位相比較に必要な回路の消費電力を低減することにある。

【００３７】

【課題を解決するための手段】図１は、請求項１ないし請求項５に記載の半導体集積回路の基本原理を示すブロック図である。

【００３８】請求項１の半導体集積回路では、遅延回路２１に供給された基準クロック信号は、縦続接続された所定の遅延時間を有する遅延段２１ａ、２１ｂに順次伝達される。各遅延段２１ａ、２１ｂからは、遅延したクロック信号が出力される。遅延したクロック信号は、前段側の遅延段に帰還されることはない。スイッチ回路２２は、遅延回路２１における奇数段目の遅延段２１ａから出力されるクロック信号のいずれかを第１クロック信号として選択する。また、スイッチ回路２２は、第１クロック信号を出力する遅延段２１ａに隣接する偶数段目の遅延段２１ｂから出力されるクロック信号の一方を第２クロック信号として選択する。補間回路２４は、制御回路２５から供給される比率情報に応じて第１クロック信号の遷移エッジと第２クロック信号の遷移エッジとの間に遷移エッジを有する位相の内部クロック信号を生成する。位相比較回路２６は、基準クロック信号と内部クロック信号の位相を比較する。制御回路２５は、位相比較回路２６の比較結果に基づいて、スイッチ回路２２を制御し、スイッチ回路２２が選択する遅延段21ａ（または２１ｂ）の切り替えを行う。

【００３９】例えば、第１クロック信号の位相が第２クロック信号の位相より進んでおり、かつ位相比較回路２６での比較の結果、内部クロック信号の位相が基準クロック信号の位相に比べて進んでいることを示しているときには、制御回路２５は、現在より後段側の遅延段２１ａ（奇数段目）から出力されるクロック信号を第１クロック信号として出力するように、スイッチ回路２２を制御する。同様に、第１クロック信号の位相が第２クロック信号の位相より進んでおり、かつ位相比較回路２６での比較の結果、内部クロック信号の位相が基準クロック信号の位相に比べて遅れていることを示しているときには、制御回路２５は、現在より前段側の遅延段２１ｂ（偶数段目）から出力されるクロック信号を第２クロック信号として出力するように、スイッチ回路２２を制御する。また、第１クロック信号の位相が第２クロック信号の位相より遅れており、かつ位相比較回路２６での比較の結果、内部クロック信号の位相が基準クロック信号の位相に比べて進んでいることを示しているときには、制御回路２５は、現在より後段側の遅延段２１ｂ（偶数段目）から出力されるクロック信号を第２クロック信号として出力するように、スイッチ回路２２を制御する。同様に、第１クロック信号の位相が第２クロック信号の位相より遅れており、かつ位相比較回路２６での比較の結果、内部クロック信号の位相が基準クロック信号の位相に比べて遅れていることを示しているときには、制御回路２５は、現在より前段側の遅延段２１ａ（奇数段目）から出力されるクロック信号を第１クロック信号として出力するように、スイッチ回路２２を制御する。

【００４０】また、制御回路２５は、位相比較回路２６の比較結果に基づいて、内部クロック信号の位相と基準クロック信号の位相とが一致するように、補間回路２４に比率情報を与え、内部クロック信号の位相の微調整を行う。なお、制御回路２５は、スイッチ回路２２の制御と補間回路２４の制御とを別々に行ってもよく、同時に行ってもよい。制御回路２５による制御は、内部クロック信号の位相と基準クロック信号の位相とが一致するまで行われる。

【００４１】この半導体集積回路では、基準クロック信号と内部クロック信号との位相のずれの最大値（設計時に決められる）に応じて、遅延段２１ａ、２１ｂの接続数が決められる。このため、内部クロック信号と基準クロック信号との位相比較を常に正しく行うことができ、両信号の位相を必ず一致させることができる。遅延回路２１は、遅延時間が所定値に固定された遅延段２１ａ、２１ｂを縦続接続することで構成されているため、遅延段に遅延時間を調整するための余分な素子を付加する必要がなく、遅延段のレイアウトサイズを小さくすることができる。この結果、チップサイズを小さくすることができる。

11

【００４２】補間回路２４を使用して内部クロック信号の位相の微調整が行われるため、微調整の最小単位を小さくすることができる。すなわち、高い周波数の基準クロック信号が供給される半導体集積回路においても確実に位相調整が行われる。請求項２の半導体集積回路では、制御回路２５は、位相比較の開始時にスイッチ回路２２を制御し、位相比較回路２６の比較結果に応じて内部クロック信号の位相を粗調整する。制御回路２５は、内部クロック信号と基準クロック信号との位相差が遅延段２１ａ、２１ｂの遅延時間以下になった後に、位相比較回路２６の比較結果に応じて、補間回路２４に比率情報を与え内部クロック信号の位相を微調整する。内部クロック信号の位相調整を粗調整と微調整とに分けて行うことで、内部クロック信号と基準クロック信号との位相を、少ない位相比較回数で早く一致させることができる。

【００４３】請求項３の半導体集積回路では、制御回路２５は、２進カウンタ２７のカウント値を前記比率情報として出力する。補間回路２４は、２進カウンタ２７の増加時に、内部クロック信号の位相を第１クロック信号側から第２クロック信号側に変化させる。内部クロック信号の位相は、第１クロック信号の位相が第２クロック信号の位相より進んでいるときに、２進カウンタ２７の増加に伴い遅くなる。内部クロック信号の位相は、第１クロック信号の位相が第２クロック信号の位相より遅れているときに、２進カウンタ２７の増加に伴い進む。また、補間回路２４は、２進カウンタ２７の減少時に、内部クロック信号の位相を第２クロック信号側から第１クロック信号側に変化させる。内部クロック信号の位相は、第１クロック信号の位相が第２クロック信号の位相より進んでいるときに、２進カウンタ２７の減少に伴い進む。内部クロック信号の位相は、第１クロック信号の位相が第２クロック信号の位相より遅れているときに、２進カウンタ２７の減少に伴い遅くなる。このため、例えば、２進カウンタ２７のカウンタ値が最大値にある場合に、内部クロック信号の位相を進めるときも、遅らせるときもカウンタ値を減少させればよく、カウンタ値を最小値にリセットする必要はない。したがって、２進カウンタ２７の制御を簡単かつ円滑に行うことができる。この結果、制御回路２５の動作のタイミング余裕を増大することができる。この結果、内部クロック信号にジッタが発生することを防止することができる。

【００４４】請求項４の半導体集積回路では、制御回路２５は、粗調整により内部クロック信号と基準クロック信号との位相差が遅延段２１ａ、２１ｂの遅延時間以下になった後に、さらに、２進カウンタ２７の上位側の２ビットの値を増加または減少する動作を、２進カウンタ２７の下位側に向けて順次行い、内部クロック信号の位相の粗調整を行う。このため、粗調整における位相比較の回数を低減することができる。

12

【００４５】請求項５の半導体集積回路では、制御回路２５は、使用していない後段側の遅延段２５ａ、２５ｂの少なくとも一つを非活性化するため、消費電力を低減することができる。

【００４６】

【発明の実施の形態】以下、本発明の半導体集積回路の第１の実施形態を図面を用いて説明する。この実施形態は、請求項１ないし請求項５に対応している。この半導体集積回路は、シリコン基板上に、CMOSプロセス技術を使用して、例えば、DDR-SDRAMとして形成されている。DDR-SDRAMは、一般の半導体メモリと同様に、メモリコア部および周辺回路部を有している。メモリコア部には、複数のメモリセルを有するメモリセルアレイ、センスアンプ等が形成されている。このDDR-SDRAMは、外部から供給される相補のクロック信号の立ち上がりに同期してメモリセルから読み出したデータ信号の出力を行う機能を有している。

【００４７】図２は、DDR-SDRAMにおけるクロック制御部３０を示している。クロック制御部３０は、開始信号発生器３２、クロックバッファ３４ａ、３４ｂ、遅延クロック生成部３６、補間回路３８、４０、バッファ４２、４４、位相比較部４６、ラフ／ファイン制御部４８、ラフ制御部５０、およびファイン制御部５２を備えて構成されている。

【００４８】開始信号発生器３２は、電源立ち上げ時、セルフリフレッシュモードからの解除時等に、チップ内部で発生するリセット信号/RESETの非活性化を受け、所定のタイミングで開始信号STTをＨレベルにする回路である。クロックバッファ３４ａ、３４ｂは、カレントミラー型の差動増幅回路により構成されている。クロックバッファ３４ａ、３４ｂは、クロック信号CLK、/CLKを受け、それぞれ内部クロック信号CLK-K、/CLK-Kを出力している。クロック信号CLK、/CLKは、基準クロック信号に対応している。なお、クロック信号/CLKの“/”の表記は、クロック信号CLKに対して逆の論理であることを示している。

【００４９】遅延クロック生成部３６は、内部クロック信号CLK-K、/CLK-K、制御信号A1、B1、C1、D1、A2、B2、C2、D2（以下、制御信号A1-D1、A2-D2と略す場合もある）、および開始信号STTを受け、内部クロック信号ACLK、/ACLK、BCLK、/BCLKを出力している。内部クロック信号ACLK、/ACLKは、第１クロック信号に対応し、内部クロック信号BCLK、/BCLKは、第２クロック信号に対応している。

【００５０】補間回路３８は、内部クロック信号ACLK、BCLKおよびカウンタ信号CNT3、CNT2、CNT1、CNT0（以下、カウンタ信号CNT3-CNT0と略す場合もある）を受け、内部クロック信号ACLK、BCLKの間に位相を有する内部クロック信号ABCLKを出力している。補間回路４０は、内部クロック信号/ACLK、/BCLKおよびカウンタ信号

CNT3-CNT0を受け、内部クロック信号/ACLK、/BCLKの間に位相を有する内部クロック信号/ABCLKを出力している。補間回路は、一般に、インタポレータ（interpolator）とも称されている。

【００５１】バッファ４２、４４は、それぞれ、補間回路３８、４０から出力される内部クロック信号ABCLK、/ABCLKの信号波形を整え、内部クロック信号CLKI、/CLKIとして出力する回路である。内部クロック信号CLKI、/CLKIは、出力バッファ（図示せず）に供給され、データ信号の出力制御に使用されている。位相比較部４６は、開始信号STTおよび内部クロック信号CLK-K、CLKIを受け、内部クロック信号CLK-K、CLKIの位相を比較し比較結果信号COMPと、タイミング信号TIMを出力している。

【００５２】ラフ／ファイン制御部４８は、比較結果信号COMP、タイミング信号TIM、ファイン制御部５２からの最大信号MAX、最小信号MIN、ラフ制御部５０からのラフシフト順番信号RSO、ラフシフト方向信号RSD、および開始信号STTを受け、ラフイネーブル信号REN、ファインイネーブル信号FEN、およびラフロックオン信号RLONを出力している。

【００５３】ラフ制御部５０は、ラフイネーブル信号REN、ラフロックオン信号RLON、最大信号MAX、最小信号MIN、および開始信号STTを受け、ラフシフト方向信号RSD、ラフシフト順番信号RSO、および制御信号A1-D1、A2-D2を出力している。ファイン制御部５２は、比較結果信号COMP、ファインイネーブル信号FEN、ラフシフト順番信号RSO、および開始信号STTを受け、最大信号MAX、最小信号MIN、およびカウンタ信号CNT3-CNT0を出力している。以降、カウンタ信号CNT3-CNT0の値をカウンタ値と称する場合もある。

【００５４】ラフ／ファイン制御部４８、ラフ制御部５０、ファイン制御部５２は、制御回路に対応している。図３は、遅延クロック生成部３６の詳細を示している。遅延クロック生成部３６は、遅延回路５４、遅延段活性化回路５６、第１スイッチ回路５８、第１シフトレジスタ６０、第２スイッチ回路６２、および第２シフトレジスタ６４を備えている。第１スイッチ回路５８および第２スイッチ回路６２は、図１に示したスイッチ回路２２に対応している。

【００５５】遅延回路５４は、複数の遅延段D01、D11、D02、D12、D03、...を備えている。初段の遅延段D01は、内部クロック信号CLK-K、/CLK-Kおよびイネーブル信号EN01を受け、内部クロック信号CLK01、/CLK01を出力している。次段の遅延段D02は、内部クロック信号CLK01、/CLK01およびイネーブル信号EN11を受け、内部クロック信号CLK11、/CLK11を出力している。同様に、各遅延段D02、D12、...は、前段から出力される内部クロック信号およびイネーブル信号を受け、遅延した内部クロック信号を次段に出力している。遅延した内部クロック信号は、前段側の遅延段に帰還されることはない。

【００５６】遅延段活性化回路５６は、第１シフトレジスタ６０からイネーブル信号E01、E02、E03、...を受け、第２シフトレジスタ６４からイネーブル信号E11、E12、...を受け、遅延回路５４にイネーブル信号EN01、EN11、EN02、EN12、...を出力している。第１スイッチ回路５８は、遅延回路５４の奇数段目の遅延段D01、D02、D03、...から出力される内部クロック信号CLK01、/CLK01、CLK02、/CLK02、CLK03、/CLK03、...のいずれかを、選択信号P01、P02、P03、...に応じて選択し、内部クロック信号ACLK、/ACLKとして出力している。

【００５７】第１シフトレジスタ６０は、制御信号A1-D1および開始信号STTを受け、イネーブル信号E01、E02、E03、...および選択信号P01、P02、P03、...を出力している。第２スイッチ回路６２は、遅延回路５４の偶数段目の遅延段D11、D12、...から出力される内部クロック信号CLK11、/CLK11、CLK12、/CLK12、...のいずれかを、選択信号P11、P12、...に応じて選択し、内部クロック信号BCLK、/BCLKとして出力している。

【００５８】第２シフトレジスタ６４は、制御信号A2-D2および開始信号STTを受け、イネーブル信号E11、E12、...および選択信号P11、P12、...を出力している。なお、後述するように、第１スイッチ回路５８および第２スイッチ回路６２は、互いに隣接する遅延段から出力される内部クロック信号を選択する。すなわち、第１スイッチ回路５８が、遅延段D02からの内部クロック信号CLK02、/CLK02を内部クロック信号ACLK、/ACLKとして選択しているときに、第２スイッチ回路６２は、遅延段D11からの内部クロック信号CLK11、/CLK11または遅延段D12からの内部クロック信号CLK12、/CLK12を内部クロック信号BCLK、/BCLKとして選択している。

【００５９】図４は、各遅延段D01、D11、...の詳細を示している。遅延段D01、D11、...は、インバータ４８ａと、２入力のNORゲート４８ｂ、４８ｃと、CR時定数回路４８ｄ、４８ｅとで構成されている。CR時定数回路４８ｄ、４８ｅは、例えば、nMOSトランジスタ（以下、nMOSと称する）のソースとドレインとを接地線VSSに接続したMOS容量CAP1および拡散抵抗R1で構成されている。遅延段D01、D11、...には、他の回路と独立した低電圧の電源線（図示せず）が接続されている。このため、遅延段D01、D11、...の消費電力は小さく、その出力波形は、電源線VDDが接続される場合より緩やかになる。また、他の回路の影響を受けて、遅延段D01、D11、...の遅延時間が変動することはない。各遅延段D01、D11、...の遅延時間は、CR時定数回路４８ｄ、４８ｅに依存して所定の時間に決められている。この実施形態では、各遅延段D01、D11、...は、同一の拡散抵抗R1、同一のMOS容量CAP1が使用されており、その遅延時間は、全て同一にされている。NORゲート４８ｂの入力には、入力信号INとインバータ４８ａを介してイネーブル信号EN01とが供給されている。NORゲート４８ａの出力

は、CR時定数回路４８ｄに接続されている。NORゲート４８ｃの入力には、入力信号/INとインバータ４８ａを介してイネーブル信号ENとが供給されている。NORゲート４８ｂの出力は、CR時定数回路４８ｅに接続されている。CR時定数回路４８ｄ、４８ｅからは、出力信号/OUT、OUTが出力されている。遅延段D01、D11、...は、イネーブル信号EN01、EN11、...がＨレベルのときに活性化され、受けたクロック信号を所定時間遅延させて出力する回路である。例えば、初段の遅延段D01では、入力信号IN、/INとして内部クロック信号CLK-K、/CLK-Kが供給され、イネーブル信号ENとしてイネーブル信号EN01が供給され、出力信号/OUT、OUTとして内部クロック信号/CLK01、CLK01が出力されている。

【００６０】図５は、第１シフトレジスタ６０の要部を示している。第１シフトレジスタ６０は、図３に示した遅延回路５４の奇数段目の遅延段D01、D02、D03、...を制御するための複数の制御回路６６を備えている。各制御回路６６は、２入力のNORゲート６６ａと、２入力のNANDゲート６６ｂと、インバータ６６ｃと、nMOS６６ｄ、６６ｅ、６６ｆ、６６ｇとを有している。NORゲート６６ａの入力には、NANDゲート６６ｂの出力と、隣接する前段側（図の右側）の制御回路６６が備えるインバータ６６ｃの出力とが接続されている。NORゲート６６ａの出力からは、選択信号P01（またはP02、P03、...）が出力されている。NANDゲート６６ｂの入力には、開始信号STTおよびインバータ６６ｃの出力が供給されている。NANDゲート６６ｂの出力は、インバータ６６ｃの入力、NORゲート６６ａの入力、nMOS６６ｄのドレイン、および隣接する後段側（図の左側）の制御回路が備えるnMOS６６ｇのゲートに接続されている。インバータ６６ｃの出力は、NANDゲート６６ｂの入力、nMOS６６ｆのドレイン、隣接する前段側の制御回路６６が備えるnMOS６６ｅのゲート、および隣接する後段側の制御回路６６が備えるNORゲート６６ａの入力に接続されている。このインバータ６６ｃの出力は、イネーブル信号E01（またはE02、E03、...）として出力されている。nMOS６６ｄ、６６ｅは、直列に接続されており、nMOS６６ｅのソースは、接地線VSSに接続されている。nMOS６６ｆ、６６ｇは、直列に接続されており、nMOS６６ｇのソースは、接地線VSSに接続されている。nMOS６６ｅのゲートには、隣接する後段側の制御回路６６が備えるインバータ６６ｃの出力が接続されている。nMOS６６ｇのゲートには、隣接する前段側の制御回路６６が備えるNANDゲート６６ｂの出力が接続されている。

【００６１】nMOS６６ｄ、６６ｆのゲートには、それぞれ制御信号A1、C1、あるいは制御信号B1、D1が接続されている。すなわち、隣接する制御回路６６には、交互に制御信号A1、C1、制御信号B1、D1が供給されている。第１シフトレジスタ６０の動作については、後述するラフ初期調整のフローチャート（図３１のステップＳ６）とともに説明する。

【００６２】図６は、第２シフトレジスタ６４の要部を示している。第２シフトレジスタ６４は、図５に示した第１シフトレジスタ６０と同一の回路で構成されている。第２シフトレジスタ６４は、図３に示した遅延回路５４の偶数段目の遅延段D11、D12、...を制御するための複数の制御回路６６を備えている。各制御回路６６のNORゲート６６ａからは、選択信号P11（またはP12、P13、...）が出力されている。制御回路６６のインバータ６６ｃからはイネーブル信号EN11（またはEN12、EN13、...）が出力されている。制御回路６６のnMOS６６ｄ、６６ｆのゲートには、交互に、制御信号A2、C2または制御信号B2、D2が供給されている。

【００６３】第２シフトレジスタ６４の動作については、後述するラフ初期調整のフローチャート（図３１のステップＳ６）とともに説明する。図７は、第１スイッチ回路５８の要部を示している。第１スイッチ回路５８は、内部クロック信号ACLKを出力するスイッチ部６８と、内部クロック信号/ACLKを出力するスイッチ部７０とを備えている。スイッチ部６８、７０は、それぞれ、pMOSトランジスタ（以下、pMOSと称する）およびnMOSのソース・ドレインを互いに接続したCMOSスイッチ７２ａと、このCMOSスイッチ７２ａのpMOSに接続されたインバータ７２ｂとからなる複数のスイッチ７２で構成されている。スイッチ部６８の各スイッチ７２の制御端子には、それぞれ、選択信号P01、P02、P03...が供給されている。スイッチ部６８の各スイッチ７２の入力端子には、それぞれ、内部クロック信号CLK01、CLK02、CLK03、...が供給されている。スイッチ部６８の各スイッチ７２の出力端子は互いに接続され、内部クロック信号ACLKとして出力されている。同様に、スイッチ部７０の各スイッチ７２の制御端子には、それぞれ、選択信号P01、P02、P03...が供給されている。スイッチ部７０の各スイッチ７２の入力端子には、それぞれ、内部クロック信号/CLK01、/CLK02、/CLK03、...が供給されている。スイッチ部６８の各スイッチ７２の出力端子は互いに接続され、内部クロック信号/ACLKとして出力されている。

【００６４】第１スイッチ回路５８は、選択信号P01、P02、P03に応じて、奇数段目の遅延段D01、D02、D03、...から出力される内部クロック信号CLK01、/CLK01、CLK02、/CLK02、CLK03、/CLK03...のいずれかを、内部クロック信号ACLK、/ACLKとして出力する回路である。図８は、第２スイッチ回路６２の要部を示している。

【００６５】第２スイッチ回路６２は、第１スイッチ回路５８と同一の回路構成をしている。第２スイッチ回路６２は、選択信号P11、P12、P13に応じて、偶数段目の遅延段D11、D12、D13、...から出力される内部クロック信号CLK11、/CLK11、CLK12、/CLK12、CLK13、/CLK13...

のいずれかを、内部クロック信号BCLK、/BCLKとして出力する回路である。

【００６６】図９は、遅延段活性化回路５６の要部を示している。遅延段活性化回路５６は、２入力のNORゲート５６ａ、５６ｂ、５６ｃ、...を並列に配置して構成されている。NORゲート５６ａは、イネーブル信号E01、E11を受け、イネーブル信号EN12を出力している。NORゲート５６ｂは、イネーブル信号E11、E02を受け、イネーブル信号EN03を出力している。同様に他のNORゲート５６ｃ、５６ｄ、...の入力には、第１シフトレジスタ６０からのイネーブル信号E02、E03、...および第２シフトレジスタ６４からのイネーブル信号E12、E13、...が、順次供給され、NORゲート５６ｃ、５６ｄ、...からは、イネーブル信号EN13、EN04、...が出力されている。

【００６７】図１０は、補間回路３８、４０およびバッファ４２、４４の詳細を示している。補間回路３８、４０およびバッファ４２、４４は、同一の回路であり、補間回路４０およびバッファ４４で使用される信号を、図中括弧で示している。補間回路３８は、内部クロック信号ACLKを受けるスイッチ回路７４ａ、７４ｂ、７４ｃ、７４ｄと、内部クロック信号BCLKを受けるスイッチ回路７６ａ、７６ｂ、７６ｃ、７６ｄと、４つのインバータ７８と、抵抗R2、R3とを備えている。各スイッチ回路は、クロックドインバータとこのクロックドインバータのpMOSに接続されたインバータとで構成されている。スイッチ回路７４ａ、７４ｂ、７４ｃ、７４ｄの制御端子には、それぞれ、インバータ７８を介してカウンタ信号CNT0、CNT1、CNT2、CNT3が供給されている。スイッチ回路７６ａ、７６ｂ、７６ｃ、７６ｄの制御端子には、それぞれ、カウンタ信号CNT0、CNT1、CNT2、CNT3が供給されている。各スイッチ回路に記載されている数字は、クロックドインバータのゲート幅の比率を示している。すなわち、スイッチ回路７４ａ、７４ｂ、７４ｃ、７４ｄのクロックドインバータのオン抵抗は、順次２分の１になっている。同様に、スイッチ回路７６ａ、７６ｂ、７６ｃ、７６ｄのクロックドインバータのオン抵抗は、順次２分の１になっている。換言すれば、４つのスイッチ回路７４ａ、７４ｂ、７４ｃ、７４ｄ（または７６ａ、７６ｂ、７６ｃ、７６ｄ）により、カウンタ信号CNT3-CNT0の重み付けに応じて変化する可変抵抗が形成されている。抵抗R2、R3には、それぞれ内部クロック信号ACLK、BCLKの変化に伴ってカウンタ信号CNT3-CNT0の重み付けに応じた電流が流れる。そして、抵抗R2、R3の間のノードに、内部クロック信号ACLKの遷移エッジと、内部クロック信号BCLKの遷移エッジとの間に遷移エッジを有する位相の内部クロック信号ABCLKが生成される。

【００６８】バッファ４２は、直列に接続され両端が電源線VDDおよび接地線VSSに接続された抵抗R4、R5と、抵抗R4、R5の間の電圧と内部クロック信号ABCLKとを受ける差動増幅回路８０ａと、差動増幅回路８０ａからの出力波形を成形し内部クロック信号CLKIとして出力するインバータ８０ｂとを備えている。

【００６９】図１１は、補間回路３８に供給される内部クロック信号ACLK、BCLKの入力波形と、補間回路３８から出力される内部クロック信号ABCLKの出力波形を示している。ここで、補間回路３８を正常に動作させるために、内部クロック信号ACLK、BCLKには、互いに重なる期間T1が必要である。この実施形態では、遅延段D01、D11、D02、D12、...から出力される緩やかな信号を、図７に示した第１、第２スイッチ回路５８、６２のスイッチ７２を介して選択し、互いに重なる期間T1を有する内部クロック信号ACLK、BCLKを生成している。

【００７０】例えば、カウンタ値が“ゼロ”のときには、図１０に示した内部クロック信号ACLKが供給されるスイッチ回路７４ａ、７４ｂ、７４ｃ、７４ｄのみが動作し、内部クロックBCLKが供給されるスイッチ回路７６ａ、７６ｂ、７６ｃ、７６ｄは動作しない。このため、内部クロック信号ABCLKは、内部クロック信号ACLKとほぼ同一の位相になる（図１１(a)）。カウンタ値が１０進数で“８”のとき、内部クロック信号ACLKが供給されるスイッチ回路のうち、スイッチ回路７４ａ、７４ｂ、７４ｃが動作し、内部クロックBCLKが供給されるスイッチ回路のうち、スイッチ回路７６ｄのみが動作する。このため、内部クロック信号ABCLKは、内部クロック信号ACLK、BCLKのほぼ中央の位相になる。（図１１(b)）。同様にして、カウンタ値を変えることで、内部クロック信号ABCLKの位相は、１６通りに変更される。

【００７１】図１２は、位相比較部４６の詳細を示している。位相比較部４６は、第１分周回路８２、第２分周回路８４、ダミー出力バッファ８６、ダミー入力バッファ８８、および位相比較回路９０を備えている。第１分周回路８２は、内部クロック信号CLK-Kおよび開始信号STTを受け、周波数を分周した参照クロック信号REFCLKを位相比較回路９０に出力している。第２分周回路８４は、内部クロック信号CLKIおよび開始信号STTを受け、周波数を分周したクロック信号を出力している。第２分周回路８４により分周されたクロック信号は、ダミー出力バッファ８６、ダミー入力バッファ８８に伝達され、内部クロック信号DICLKとして位相比較回路９０に出力されている。

【００７２】位相比較回路９０は、参照クロック信号REFCLKおよび内部クロック信号DICLKの位相を比較し、比較結果信号COMPおよびタイミング信号TIMを出力する回路である。図１３は、第１分周回路８２および第２分周回路８４を示している。第１分周回路８２および第２分周回路８４は、２つの分周器９２を直列に接続して構成されており、クロック信号の周波数を４分の１分周する回路である。

【００７３】第１分周回路８２は、内部クロック信号CL

K-Kを前段の分周器９２の入力端子INで受け、参照クロック信号REFCLKを後段の分周器９２の出力端子OUTから出力している。前段の分周器９２の出力端子OUTは、後段の分周器９２の入力端子INに接続されている。制御端子STT1と後段の分周器９２の制御端子STT2には、開始信号STTが供給されており、前段の分周器９２の制御端子STT2と後段の分周器９２の制御端子STT1には、電源線VDDが接続されている。

【００７４】第２分周回路８４は、内部クロック信号CLKIを前段の分周器９２の入力端子INで受け、内部クロック信号DICLKを後段の分周器９２の出力端子OUTから出力している。、前段の分周器９２の出力端子OUTは、後段の分周器９２の入力端子INに接続されている。各分周器９２の制御端子STT1には、開始信号STTが供給されており、制御端子STT2には、電源線VDDが接続されている。

【００７５】図１４は、分周器９２の詳細を示している。分周器９２は、３入力のNANDゲート９２ａ、９２ｂからなる第１ラッチ９４と、入力端子から供給されるクロック信号の立ち上がりに同期して第１ラッチ回路の状態を第２ラッチ９８に伝達する４入力のNANDゲート９２ｃおよび２入力のNANDゲート９２ｄと、３入力のNANDゲート９２ｅ、９２ｆからなる第２ラッチ９６と、入力端子から供給されるクロック信号の立ち下がりに同期して第２ラッチ９６の状態を第１ラッチ９４に伝達する２入力のNANDゲート９２ｇ、９２ｈと、NANDゲート９２ｇ、９２ｈにクロック信号の反転論理を供給するインバータ９２ｉと、分周したクロック信号の出力を制御する直列に接続されたpMOS９２ｊおよびnMOS９２ｋ、９２１と、２入力のNANDゲート９２ｍ、９２ｎからなる出力ラッチ９８と、インバータ９２ｏ、９２ｐ、９２ｑからなる出力回路１００とで構成されている。

【００７６】NANDゲート９２ａの出力（ノードN2）は、NANDゲート９２ｂ、９２ｃの入力に接続されている。NANDゲート９２ｂの出力（ノードN3）は、NANDゲート９２ａ、９２ｄの入力およびnMOS９２ｋのゲートに接続されている。NANDゲート９２ｃの出力（ノードN0）は、NANDゲート９２ｅの入力およびpMOS９２ｊのゲートに接続されている。NANDゲート９２ｄの出力（ノードN1）は、NANDゲート９２ｆの入力に接続されている。NANDゲート９２ｅの出力（ノードN7）は、NANDゲート９２ｆ、９２ｇの入力に接続されている。NANDゲート９２ｆの出力（ノードN8）は、NANDゲート９２ｅ、９２ｈの入力に接続されている。NANDゲート９２ｇの出力（ノードN5）は、NANDゲート９２ｂの入力に接続されている。NANDゲート９２ｈの出力（ノードN6）は、NANDゲート９２ａの入力に接続されている。インバータ９２ｉの出力（ノードN4）は、NANDゲート９２ｇ、９２ｈの入力に接続されている。NANDゲート９２ｍの出力は、NANDゲート９２ｎの入力に接続されている。NANDゲート９２ｎの出力は、NANDゲート９２ｍの入力、トランジスタ９２ｊ、９２ｋのドレインに接続されている。また、NANDゲート９２ｎの出力は、インバータ９２ｏ、９２ｐを介して出力信号OUTとして、インバータ９２ｑを介して出力信号/OUTとして出力されている。

【００７７】入力端子INは、NANDゲート９２ｃ、９２ｄ、インバータ９２ｉ、nMOS９２１のゲートに接続されている。制御端子STT1は、NANDゲート９２ｂ、９２ｃ、９２ｅ、９２ｍに接続されている。制御端子STT2は、NANDゲート９２ａ、９２ｃ、９２ｆ、９２ｎに接続されている。トランジスタ９２ｊ、９２１のソースは、それぞれ、電源線VDD、接地線VSSに接続されている。

【００７８】図１５および図１６は、分周器９２の基本的な動作を示している。図１５は、制御端子STT2がＨレベルに固定されたときの動作を示している。初期状態においては、図１４に示したNANDゲート９２ｄおよびインバータ９２ｉは、活性化されており、入力端子INから供給されるクロック信号がノードN1、N4に伝達されている。制御端子STT1にＨレベルが供給されることでNANDゲート９２ｄ、９２ｆが活性化され、クロック信号の立ち上がりに同期してノードN1がＬレベルになる。ノードN1のＬレベルにより、ノードN8はＨレベルになり、ノードN7はＬレベルになる（図１５(a)）。

【００７９】ノードN8のＨレベルによりNANDゲート９２ｈが活性化され、クロック信号の立ち下がりに同期してノードN6がＬレベルになる。ノードN6のＬレベルにより、ノードN2がＨレベルになり、ノードN3がＬレベルになる（図１５(b)）。ノードN2のＨレベルによりNANDゲート９２ｃが活性化され、クロック信号の立ち上がりに同期してノードN0がＬレベルになる。ノードN0のＬレベルにより、ノードN7がＨレベルになり、ノードN8がＬレベルになる（図１５(c)）。

【００８０】また、ノードN0のＬレベルにより、トランジスタ９２ｊがオンし、ノードN9がＨレベルになる（図１５(d)）。ノードN7のＨレベルによりNANDゲート９２ｇが活性化され、クロック信号の立ち下がりに同期してノードN5がＬレベルになる。ノードN5のＬレベルにより、ノードN3がＨレベルになり、ノードN2がＬレベルになる（図１５(e)）。

【００８１】この後、上述した動作が繰り返され、出力ノードであるノードN9には、供給されたクロック信号の周波数を２分の１分周したクロック信号が生成される。

図１６は、制御端子STT1がＨレベルに固定されたときの動作を示している。初期状態においては、図１４に示したNANDゲート９２ｄおよびインバータ９２ｉは、活性化されており、入力端子INから供給されるクロック信号がノードN4、N6に伝達されている。制御端子STT2にＨレベルが供給されることでNANDゲート９２ｃが活性化され、クロック信号の立ち上がりに同期してノードN0がＬレベルになる。ノードN0のＬレベルにより、ノードN7はＬレベルになり、ノードN8はＨレベルになる（図１６

(a))。

【００８２】ノードN8のＨレベルによりNANDゲート９２ｇが活性化され、クロック信号の立ち下がりに同期してノードN5がＬレベルになる。ノードN5のＬレベルにより、ノードN3がＨレベルになり、ノードN2がＬレベルになる（図１６(b)）。ノードN3のＨレベルによりトランジスタ９２ｋがオンする。ノードN3のＨレベルによりNANDゲート９２ｄが活性化され、クロック信号の立ち上がりに同期してノードN1がＬレベルになる。ノードN1のＬレベルにより、ノードN8がＨレベルになり、ノードN7がＬレベルになる（図１６(c)）。

【００８３】また、クロック信号の立ち上がりに同期してトランジスタ９２１がオンし、ノードN9はＬレベルになる（図１６(d)）。ノードN8のＨレベルによりNANDゲート９２ｈが活性化され、クロック信号の立ち下がりに同期してノードN6がＬレベルになる。ノードN6のＬレベルにより、ノードN2がＨレベルになり、ノードN3がＬレベルになる（図１６(e)）。

【００８４】この後、上述した動作が繰り返され、供給されたクロック信号の周波数を２分の１分周したクロック信号が出力ノードであるノードN9に生成される。上述したように、制御信号STT1を制御することで、立ち上がりから始まる分周信号が生成され、制御信号STT2を制御することで、立ち下がりから始まる分周信号が生成される。

【００８５】図１７は、位相比較回路９０の詳細を示している。位相比較回路９０は、パルス発生回路１０２と、フリップフロップ１０４、１０６と、タイミング生成回路１０８とを備えている。パルス発生回路１０２は、内部クロック信号DICLK、参照クロック信号REFCLKを受ける２入力のNANDゲート１０２ａと、NANDゲート１０２ａの出力に接続された遅延回路１０２ｂと、NANDゲート１０２ａの出力および遅延回路１０２ｂの出力を受ける２入力のNORゲート１０２ｃとで構成されている。遅延回路１０２ｂは、３つのインバータの間にMOS容量を接続して構成されている。パルス発生回路１０２は、内部クロック信号DICLKと参照クロック信号REFCLKとがともにＨレベルになったときに、Ｈパルスを発生する回路である。

【００８６】フリップフロップ１０４は、２入力のNANDゲート１０４ａ、１０４ｂの出力を互いに帰還させて構成されている。NANDゲート１０４ａ、１０４ｂの入力には、内部クロック信号DICLK、参照クロック信号REFCLKが供給されている。フリップフロップ１０４は、クロック信号DICLK、REFCLKのうち、早く立ち上がった側の出力をＬレベルにする回路である。

【００８７】フリップフロップ１０６は、出力を互いに帰還させた２入力のNANDゲート１０６ａ、１０６ｂと、NANDゲート１０６ａ、１０６ｂの入力に接続された２入力のNANDゲート１０６ｃ、１０６ｄとで構成されている。NANDゲート１０６ｃ、１０６ｄの一方の入力には、パルス発生回路１０２の出力が接続されている。NANDゲート１０６ｃ、１０６ｄの他方の入力には、それぞれNANDゲート１０４ａ、１０４ｂの出力が接続されている。NANDゲート１０６ｂの出力からは、比較結果信号COMPが出力されている。フリップフロップ１０６は、内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいるときに比較結果信号COMPをＨレベルにし、内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れているときに比較結果信号COMPをＬレベルにする回路である。

【００８８】タイミング生成回路１０８は、NANDゲートとインバータとからなる遅延回路１０８ａと、参照クロック信号REFCLKと遅延回路１０８ａとを受ける２入力のNANDゲート１０８ｂと、NANDゲート１０８ｂの出力に直列に接続されたインバータ１０８ｃ、１０８ｄとで構成されている。インバータ１０８ｄの出力からは、タイミング信号TIMが出力されている。タイミング生成回路１０８は、参照クロック信号REFCLKの立ち上がりから遅延回路１０８の遅延時間だけ遅れて立ち上がるタイミング信号TIMを生成する回路である。

【００８９】図１８は、ラフ／ファイン制御部４８の詳細を示している。ラフ／ファイン制御部４８は、NANDゲートおよびインバータで構成されラフイネーブル信号RENまたはファインイネーブル信号FENを活性化する組み合わせ回路１１０と、ラフシフト方向信号RSDの情報を保持するシフト方向保持回路１１２と、EOR回路１１４と、ラフロックオン信号RLONを出力するロックオン生成回路１１６とを備えている。

【００９０】組み合わせ回路１１０は、図１９に示す制御状態図にしたがい、ラフイネーブル信号RENまたはファインイネーブル信号FENを活性化する回路である。例えば、組み合わせ回路１１０は、ラフロックオン信号RLONがＬレベルのときに、タイミング信号TIMに同期してファインイネーブル信号FENを活性化する。組み合わせ回路１１０は、ラフロックオン信号RLON、ラフシフト順番信号RSO、最大信号MAX、比較結果信号COMPがともにＨレベルのときには、タイミング信号TIMに同期してラフイネーブル信号RENを活性化する。

【００９１】シフト方向保持回路１１２は、pMOSおよびnMOSのソース・ドレインを互いに接続したCMOSスイッチ１１２ａ、１１２ｂと、２つのインバータの入力と出力とを互いに接続したラッチ１１２ｃ、１１２ｄとを交互に直列に接続した保持部と、CMOSスイッチ１１２ａ、１１２ｂを制御するインバータ１１２ｅとを備えている。CMOSスイッチ１１２ａ、１１２ｂは、タイミング信号TIMにより制御されている。シフト方向保持回路１１２は、タイミング信号TIMの立ち上がりに同期してラフシフト方向信号RSDを取り込み、保持する回路である。

【００９２】EOR回路１１４は、現在のラフシフト方向

信号RSDとシフト方向保持回路１１２から出力される１クロック前のラフシフト方向信号RSDとの状態を比較する回路である。ロックオン生成回路１１６は、２つの２入力のNORゲート１１６ａ、１１６ｂの出力を互いに帰還したフリップフロップと、NORゲート１１６ｂの入力に接続されたインバータ列１１６ｃと、NORゲート１１６ｂの出力に接続されたインバータ列１１６ｄとで構成されている。NORゲート１１６ａの入力には、EOR回路１１４の出力が接続され、インバータ列１１６ｃの入力には、２つのインバータを介して開始信号STTが供給されている。インバータ列１１６ｄの出力からはラフロックオン信号RLONが出力されている。

【００９３】図２０は、ラフ制御部５０の詳細を示している。ラフ制御部５０は、ラフコントロール１１８と、ラフシフトラッチ１２０と、シフト方向ラッチ１２２と、レジスタ選択スイッチ１２４とで構成されている。ラフコントロール１１８は、ラフロックオン信号RLON、ラフシフト順番信号RSO、ラフイネーブル信号REN、比較結果信号COMP、最大信号MAX、最小信号MINを受け、第１、第２シフトレジスタ６０、６４のシフト動作時にHパルスを発生するシフト通知信号SINF、第１、第２シフトレジスタ６０、６４のシフト制御する元の信号の制御信号A、B、C、Dを出力している。

【００９４】ラフシフトラッチ１２０は、開始信号STTおよびシフト通知信号SINFを受け、ラフシフト順番信号RSOを出力している。シフト方向ラッチ１２２は、開始信号STTおよび制御信号A、B、C、Dを受け、ラフシフト方向信号RSDを出力している。レジスタ選択スイッチ１２４は、ラフシフト順番信号RSOのレベルに応じて、制御信号A、B、C、Dを制御信号A1、B1、C1、D1または制御信号A2、B2、C2、D2として出力している。

【００９５】図２１は、ラフコントロール１１８の詳細を示している。ラフコントロール１１８は、NANDゲートおよびインバータで構成された組み合わせ回路１２６と、分周回路１２８と、制御信号A、B、C、Dを生成する制御回路１３０と、制御信号A、B、C、Dのいずれかの Hレベルを受けてシフト通知信号SINFを生成する４入力のOR回路１３２とで構成されている。

【００９６】組み合わせ回路１２６は、図２２に示す制御状態図にしたがい、進み信号FWまたは遅れ信号BWを活性化する回路である。例えば、組み合わせ回路１２６は、ラフロックオン信号RLON、比較結果信号COMPがともにＬレベルのときに、進み信号FWを活性化する。組み合わせ回路１２６は、ラフロックオン信号RLON、ラフシフト順番信号RSO、最大信号MAX、比較結果信号COMPがともにＨレベルのときに、遅れ信号BWを活性化する。組み合わせ回路１２６は、ラフロックオン信号RLON、ラフシフト順番信号RSOがＨレベル、最大信号MAX、最小信号MINがＬレベルのときには、進み信号FW、遅れ信号BWをともに非活性化する。

【００９７】分周回路１２８は、８つの２入力のNANDゲート組み合わせたフリップフロップ回路を、２段縦続接続して構成されている。分周回路１２８は、ラフイネーブル信号RENの周波数を２分の１分周し、ラフイネーブル信号RENと同じＨ期間のパルス信号をノードN10とノードN11とに交互に出力する回路である。制御回路１３０は、２入力のNANDゲートと３つのインバータを縦続接続したAND回路１３０ａ、１３０ｂ、１３０ｃ、１３０ｄを備えている。AND回路１３０ａは、ノードN10のパルス信号と遅れ信号BWを受け、制御信号Dを出力している。AND回路１３０ｂは、ノードN11のパルス信号と遅れ信号BWを受け、制御信号Cを出力している。AND回路１３０ｃは、ノードN10のパルス信号と進み信号FWを受け、制御信号Bを出力している。AND回路１３０ｄは、ノードN11のパルス信号と進み信号FWを受け、制御信号Aを出力している。

【００９８】図２３は、ラフコントロール１１８の動作タイミングの概要を示している。まず、ラフイネーブル信号RENがＬレベルを保持している場合について説明する。図２１に示したラフコントロール１１８の分周回路１２８は、ラフイネーブル信号RENのＬレベルを受けて、ノードN10、N11をＬレベルにする（図２３(a)）。制御回路１３０は、ノードN10、N11をＬレベルを受けて、制御信号A、B、C、DをＬレベルにする（図２３(b)）。すなわち、ラフイネーブル信号RENがＬレベルのときには、進み信号FW、遅れ信号BWのレベルによらず、制御信号A、B、C、DはＬレベルになる。

【００９９】次に、ラフイネーブル信号RENがクロックパルスを発生している場合について説明する。分周回路１２８は、ラフイネーブル信号RENの２分の１分周したクロック信号をノードN10、N11に交互に出力する（図２３(c)）。制御回路１３０は、ノードN10、N11のクロック信号および組み合わせ回路１２６からの進み信号FW、遅れ信号BWのレベルに応じて、Ｈパルスの制御信号A、B、C、Dを出力する。すなわち、制御回路１３０は、進み信号FWがＨレベル、遅れ信号BWがＬレベルのときに、ノードN11のクロック信号に同期して制御信号AをＨレベルにし、ノードN10のクロック信号に同期して制御信号BをＨレベルにする（図２３(d)）。制御回路１３０は、進み信号FWがＬレベル、遅れ信号BWがＨレベルのときに、ノードN11のクロック信号に同期して制御信号CをＨレベルにし、ノードN10のクロック信号に同期して制御信号DをＨレベルにする（図２３(e)）。

【０１００】OR回路１３２は、制御信号A、B、C、DのＨレベルを受けて、シフト通知信号SINFをＨレベルにする（図２３(f)）。図２４は、ラフシフトラッチ１２０の詳細を示している。ラフシフトラッチ１２０は、pMOSおよびnMOSのソース・ドレインを互いに接続したCMOSスイッチ１２０ａ、１２０ｂと、インバータと２入力のNANDゲートの入力と出力とを互いに接続したラッチ１２０

ｃ、１２０ｄとを交互に直列に接続した保持部と、CMOSスイッチ１２０ａ、１２０ｂを制御するインバータ１２０ｅと、保持部の出力を入力に帰還するためのインバータ１２０ｆと、２入力のNANDゲートを制御するインバータ列１２０ｇとを備えている。保持部の出力からは、ラフシフト順番信号RSOが出力されている。CMOSスイッチ１２０ａ、１２０ｂは、シフト通知信号SINFにより制御されている。インバータ列１２０ｇの入力には、開始信号STTが供給されている。ラフシフトラッチ１２０は、シフト通知信号SINFの立ち上がりに同期してラフシフト順番信号RSOを交互にＨレベル、Ｌレベルにする回路である。

【０１０１】図２５は、シフト方向ラッチ１２２の詳細を示している。シフト方向ラッチ１２２は、２入力のNANDゲート１２２ａ、１２２ｂの出力を互いに帰還させたフリップフロップ回路と、そのフリップフロップ回路の各入力にそれぞれ接続された２入力のNORゲート１２２ｃ、１２２ｄとで構成されている。NORゲート１２２ｃの入力には、制御信号C、Dが供給されている。NORゲート１２２ｄの入力には、制御信号A、Bが供給されている。NORゲート１２２ｂの出力からは、ラフシフト方向信号RSDが出力されている。シフト方向ラッチ１２２は、制御信号C、DがＨレベルになったときに、ラフシフト方向信号RSDをＬレベルにし、制御信号A、BがＨレベルになったときに、ラフシフト方向信号RSDをＨレベルにする回路である。

【０１０２】図２６は、レジスタ選択スイッチ１２４の詳細を示している。レジスタ選択スイッチ１２４は、２入力のNANDゲートとインバータとからなる８つのAND回路と、インバータとで構成されている。レジスタ選択スイッチ１２４は、ラフシフト順番信号RSOがＨレベルときに、制御信号A、B、C、Dを制御信号A1、B1、C1、D1として出力し、ラフシフト順番信号RSOがＬレベルときに、制御信号A、B、C、Dを制御信号A2、B2、C2、D2として出力する回路である。

【０１０３】図２７は、ファイン制御部５２を示している。ファイン制御部５２は、ファインコントロール１３４、２進カウンタ１３６、最大最小検出器１３８を備えている。ファインコントロール１３４は、ラフシフト順番信号RSO、比較結果信号COMP、およびファインイネーブル信号FENを受け、カウントアップ信号UPおよびカウントダウン信号DOWNを出力している。

【０１０４】２進カウンタ１３６は、カウントアップ信号UPを受けたときに、内蔵のカウンタを増加させ、カウントダウン信号DOWNを受けたときに、内蔵のカウンタを減少させる。２進カウンタ１３６は、４ビットカウンタとして構成されており、各ビットの値を、カウント信号CNT3-CNT0として出力している。ここで、カウント信号CNT3が上位ビットに対応している。

【０１０５】最大最小検出器１３８は、カウンタ値が最大（全てのビットがＨレベル）になったときに最大信号MAXを出力し、カウンタ値が最小（ゼロ）になったときに最小信号MINを出力する回路である。図２８は、ファインコントロール１３４の詳細を示している。ファインコントロール１３４は、NANDゲートおよびインバータで構成された組み合わせ回路を備えている。ファインコントロール１３４は、図２９に示す制御状態図にしたがい、カウントアップ信号UPおよびカウントダウン信号DOWNを出力する回路である。例えば、カウントアップ信号UPおよびカウントダウン信号DOWNは、ファインイネーブル信号FENがＬレベルのときにともに非活性化される。カウントアップ信号UPは、ファインイネーブル信号FEN、ラフシフト順番信号RSO、比較結果信号COMPがＨレベルのとき、およびファインイネーブル信号FENがＨレベル、ラフシフト順番信号RSO、比較結果信号COMPがＬレベルのときに活性化される。カウントダウン信号DOWNは、ファインイネーブル信号FEN、ラフシフト順番信号RSOがＨレベル、比較結果信号COMPがＬレベルのとき、およびファインイネーブル信号FEN、比較結果信号COMPがＨレベル、ラフシフト順番信号RSOがＬレベルのときに活性化される。

【０１０６】上述した半導体集積回路では、以下示すように、内部クロック信号CLKIの位相調整が行われる。図３０は、上述した各回路が行う位相調整の制御を示すフローチャートである。位相調整の制御は、リセット信号/RESETの解除により開始され、初期設定（図３１）の後、ラフ初期調整（図３１）、ファイン初期調整（図３２、３３）、ラフ／ファイン調整（図３４、３５）が順次行われる。ラフ初期調整、ファイン初期調整は、粗調整に対応し、ラフ／ファイン調整は微調整に対応している。

【０１０７】（ａ）初期設定（図３１）

まず、ステップＳ１において、図２および図３に示した、開始信号STTが供給されている遅延クロック生成部３６の第１、第２シフトレジスタ６０、６４、ラフ／ファイン制御部４８、ラフ制御部５０のラフシフトラッチ１２０、ファイン制御部５２の２進カウンタ１３６、位相比較部４６の第１、第２分周回路８２、８４の初期化が行われる。

【０１０８】図３６は、開始信号発生器３２の動作を示している。開始信号発生器３２は、リセット信号/RESETの非活性化を受けた後、内部クロック信号CLK-Kの立ち下がりに同期して開始信号STTをＨレベルにする。このため、位相比較の開始時に、遅延クロック生成部３６、位相比較部４６等は、互いに同期して動作を開始し、常に所定の状態から位相比較が開始される。また、例えば、第１分周回路８２において、内部クロック信号CLK-KのＨレベル期間が開始信号STTによりマスクされ、ハザードとなることが防止され、位相比較の開始時に誤動作することが防止される。

【０１０９】リセット信号/RESETの非活性化は、半導体集積回路が内蔵するモードレジスタからのDLL開始信号、DLLリセット解除信号、電源立ち上げ完了の検出信号等を受けて行われる。第１シフトレジスタ６０（図５）および第２シフトレジスタ（図６）は、開始信号STTのＨレベルを受けて活性化され、それぞれ、制御信号A1、B1、C1、D1および制御信号A2、B2、C2、D2を受け付け可能になる。ファイン制御部５２の２進カウンタ１３６（図２７）は、開始信号STTのＨレベルを受け、カウンタを中央の値C(3:0)＝(1,0,0,0)に設定する。

【０１１０】ラフ／ファイン制御部４８（図１８）は、初期化により、ラフロックオン信号RLONをＬレベルにする。ラフシフトラッチ１２０は、初期化により、ラフシフト順番信号RS0をＬレベルにする。第１、第２分周回路８２、８４（図１３）は、開始信号STTのＨレベルを受けて、各分周器９２を活性化する。

【０１１１】図３７は、位相比較部４６での各クロック信号のタイミングを示している。第１分周回路８２は、内部クロック信号CLK-Kを受けた後、５クロックで参照クロック信号REFCLKの出力を開始する。第２分周回路８４は、内部クロック信号CLKIを受けた後、３クロックで分周した信号を出力する。図３７では、遅延クロック生成部３６での遅延時間の設定が最小の場合を示している。第２分周回路８４の出力した信号は、ダミー出力バッファ８６およびダミー入力バッファ８８に供給され、遅延時間T5だけ遅れた内部クロック信号DICLKが生成される。そして、参照クロック信号REFCLKと内部クロック信号DICLKとの位相が比較される。

【０１１２】第１、第２分周回路８２、８４の動作を開始信号STTに同期して行うことで、常に、所定の位相差を有する状態で位相調整が開始される。次に、ステップＳ２において、遅延段の初期設定が行われる。図２に示した遅延クロック生成部３６は、例えば、遅延段D13から出力する内部クロック信号CLK13、/CLK13を使用して、内部クロック信号BCLK、/BCLKを生成し、遅延段D03から出力する内部クロック信号CLK03、/CLK03を使用して、内部クロック信号ACLK、/ACLKを生成する。遅延段の初期設定は、ラフシフト順番信号RS0の初期値（Ｌレベル）に合わせて行われる。ここで、ラフシフト順番信号RS0のＬレベルは、内部クロック信号ACLKの位相が内部クロック信号BCLKの位相より遅いことを示している。特に回路として図示していないが、遅延段の初期設定は、制御信号A1-D1、A2-D2を制御して行ってもよく、初期回路を設けて、強制的に、第１、第２シフトレジスタ６０、６２の値を設定してもよい。

【０１１３】（ｂ）ラフ初期設定（図３１）

まず、ステップＳ３において、図１２に示した位相比較回路９０は、参照クロック信号REFCLKと内部クロック信号DICLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合には、比較結果信号COMPはＨレベルにされる。比較結果信号COMPのＨレベルにより、この後、内部クロック信号DICLKを遅らせる制御が行われる。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合には、比較結果信号COMPはＬレベルにされる。比較結果信号COMPのＬレベルにより、この後、内部クロック信号DICLKの位相を進める制御が行われる。

【０１１４】ステップＳ４において、図１８に示したラフ／ファイン制御部４８は、EOR回路１１４を使用して、シフト方向保持回路１１２に保持されている情報（前回のシフト方向）と、現在のシフト方向とが一致しているかを比較する。ステップＳ５において、シフト方向の比較結果が一致している（シフト方向が同じ）場合、制御はステップＳ６に移行する。比較結果が不一致（シフト方向が変化）の場合、内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相に近づいたと判断し、ラフ初期調整を完了するため、制御はステップＳ９に移行する。ラフ初期調整の完了の判断は、簡易なラッチ回路（シフト方向保持回路１１２）で容易に行われるため、回路規模が低減される。

【０１１５】ラフ／ファイン制御部４８のEOR回路１１４は、比較結果が不一致の場合、Ｈレベルを出力する。なお、位相調整開始直後には、正しい比較ができないため、制御は、強制的にステップＳ６に移行する。ステップＳ６において、図２１に示したラフコントロール１１８は、遅延段を切り替える制御を行う。遅延段の制御は、図２２に示した制御状態図および図２３に示したタイミング図にしたがって行われる。ラフ初期調整時、ラフロックオン信号RLONはＬレベルになっている。このため、ラフコントロール１１８は、比較結果信号COMPがＬレベルのときに、進み信号FWをＨレベルにし、制御信号A、BをＨレベルにする。ラフコントロール１１８は、比較結果信号COMPがＨレベルのときに、遅れ信号BWをＨレベルにし、制御信号C、DをＨレベルにする。

【０１１６】図２６に示したシフトレジスタ選択回路１２４は、ラフシフト順番信号RS0がＬレベルのとき、制御信号A、B、C、Dを制御信号A1、B1、C2、D2として出力し、ラフシフト順番信号RS0がＨレベルのとき、制御信号A、B、C、Dを制御信号A2、B2、C1、D1として出力する。図３８（ａ）は、内部クロック信号ACLKの位相が内部クロック信号BCLKの位相より進んでいる場合のこれ等信号の切り替え制御の概要を示している。

【０１１７】位相比較の結果、比較結果信号COMPがＨレベルになったときには、内部クロック信号ACLKをACLK'に変更して位相を進める制御が行われる。すなわち、進み信号BWがＨレベルにされ、制御信号C、DがＨレベルにされ、ラフシフト順番信号RS0のＨレベルにより、制御信号C1、D1がＨレベルにされる。図５に示した第１シフトレジスタ６０は、制御信号C1、D1を受けて選択信号P03をＬレベルにし、選択信号P04をＨレベルにし、イネー

ブル信号E03をＬレベルにする。すなわち、制御信号D1のＨレベルにより、選択信号P03を出力している制御回路６６のインバータ６６ｃの出力ノードが強制的にＬレベルになり、イネーブル信号E03がＨレベルからＬレベルになる。このＬレベルによりNANDゲート６６ｂの出力がＨレベルになり、選択信号P03がＬレベルになり、隣接する制御回路６６（図の左側）のNORゲート６６ａの出力（選択信号P04）がＨレベルになる。

【０１１８】イネーブル信号E03のＬレベルにより、図９に示した遅延段活性化回路５６は、イネーブル信号EN04をＬレベルからＨレベルにする。選択信号P04のＨレベルにより、図７に示した第１スイッチ回路５８が切り替わり、遅延段D04の出力を使用して新たな内部クロック信号ACLK’が生成される。ここで、位相を遅らせる場合、偶数番号の選択信号（P04等）の活性化は、制御信号D1がＨレベルになることで行われる。同様に、奇数番号の選択信号（P03等）の活性化は、制御信号C1がＨレベルになることで行われる。

【０１１９】一方、位相比較の結果、比較結果信号COMPがＬレベルになったときには、内部クロック信号BCLKをBCLK’に変更して位相を遅らせる制御が行われる。すなわち、進み信号FWがＨレベルにされ、制御信号A、BがＨレベルにされ、ラフシフト順番信号RS0のＨレベルにより、制御信号A2、B2がＨレベルにされる。図６に示した第２シフトレジスタ６４は、制御信号A2、B2を受けて選択信号P13をＬレベルにし、選択信号P12をＨレベルにし、イネーブル信号E12をＨレベルにする。すなわち、制御信号A2のＨレベルにより、選択信号P12を出力している制御回路６６のNANDゲート６６ｂの出力ノードが強制的にＬレベルになり、選択信号P12がＬレベルからＨレベルになる。インバータ６６ｃの出力がＨレベルになることで、イネーブル信号E12がＬレベルからＨレベルになり、隣接する制御回路６６（図の左側）のNORゲート６６ａの出力（選択信号P13）がＬレベルになる。

【０１２０】イネーブル信号E12のＨレベルにより、図９に示した遅延段活性化回路５６は、イネーブル信号EN13をＨレベルからＬレベルにする。イネーブル信号EN13のＬレベルを受けて、遅延段D13が非活性化される。選択信号P12のＨレベルにより、図８に示した第２スイッチ回路６２が切り替わり、遅延段D12の出力を使用して新たな内部クロック信号BCLK’が生成される。

【０１２１】ここで、位相を進める場合、偶数番号の選択信号（P12等）の活性化は、制御信号A2がＨレベルになることで行われる。同様に、奇数番号の選択信号（P13等）の活性化は、制御信号B2がＨレベルになることで行われる。図３８（ｂ）は、ラフ初期調整時における内部クロック信号ACLKの位相が内部クロック信号BCLKの位相より遅れている場合のこれ等信号の切り替え制御の概要を示している。

【０１２２】上述した初期設定後には、図３８（ａ）に

示したように、内部クロック信号BCLK、ACLKは、それぞれ遅延段D11、D02の出力を使用して生成されている。位相比較の結果、比較結果信号COMPがＨレベルになったときには、内部クロック信号BCLKをBCLK’に変更する制御が行われる。すなわち、進み信号FWがＨレベルにされ、制御信号C、DがＨレベルにされ、ラフシフト順番信号RS0のＬレベルにより、制御信号C2、D2がＨレベルにされる。そして、上述した図３８（ａ）の説明と同様に、第２シフトレジスタ６４が動作し、第２スイッチ回路６２が切り替わり、遅延段D13の出力を使用して新たな内部クロック信号BCLK’が生成される。

【０１２３】一方、位相比較の結果、比較結果信号COMPがＬレベルになったときには、内部クロック信号ACLKをACLK’に変更する制御が行われる。すなわち、進み信号FWがＨレベルにされ、制御信号A、BがＨレベルにされ、ラフシフト順番信号RS0のＬレベルにより、制御信号A1、B1がＨレベルにされる。そして、上述した図３８（ａ）の説明と同様に、第１シフトレジスタ６０が動作し、第１スイッチ回路５８が切り替わり、遅延段D02の出力を使用して新たな内部クロック信号ACLK’が生成される。

【０１２４】なお、遅延段の切り替えにより、シフト方向が逆向きになったときに、図２５に示したシフト方向ラッチ１２２は、ラフシフト方向信号RSDのレベルを反転する。図３９は、内部クロック信号ACLK、BCLKの切り替えによる内部クロック信号CLKIの変化を示している。図３９（ａ）は、２進カウンタ１３６の初期値を本実施形態で採用した中央の“８”にした場合、図３９（ｂ）は、２進カウンタ１３６の初期値を中央からずれた“４”にした場合を示している。

【０１２５】図１０に示した補間回路３８、４０は、カウンタ値が最小（ゼロ）のときに、内部クロック信号ACLKを内部クロック信号CLKIとして出力し、カウンタ値が最大（１０進数の１５）のときに、内部クロック信号BCLKを内部クロック信号CLKIとして出力する。このため、カウンタ値の増加により、内部クロック信号CLKIの位相は、常に奇数段目の遅延段D01、D02、D03から偶数段目の遅延段D11、D12に向けて変化する。したがって、カウンタ値を中央の値に設定した場合には、図３９（ａ）に示すように、内部クロック信号CLKIの位相は、遅延段の切り替え時に均等に変化する。このため、ラフ初期調整後のファイン初期調整において、補間回路３８、４０による位相調整の範囲が所定内にされ、位相比較回数を低減することが可能になる。一方、カウンタ値を中央の値からずらした場合には、図３９（ｂ）に示すように、内部クロック信号CLKIの位は、遅延段の切り替え時に均等に変化しなくなる。このため、ファイン初期調整において、位相比較回数が増大する。

【０１２６】ステップＳ７において、図２４に示したラフシフトラッチ１２０は、ラフコントロール１１８から

出力されるシフト通知信号SINFを受けて、ラフシフト順番信号RSOを反転して、内部クロック信号ACLK、BCLKの位相が逆転したことを各回路に伝達する。

【０１２７】ステップＳ８において、図１８に示したラフ／ファイン制御部４８のシフト方向保持回路１１２は、現在のラフシフト方向信号RSDの値を保持する。この後、制御は、再びステップＳ３に移行する。一方、ステップＳ９において、ラフ／ファイン制御部４８のシフト方向保持回路１１２は、現在のラフシフト方向信号RSDの値を保持する。

【０１２８】次に、ステップＳ１０において、ラフ／ファイン制御部４８のロックオン生成回路１１６は、EOR回路１１４から出力されるＨレベルを受けて、ラフロックオン信号RLONをＨレベルにする。以上でラフ初期調整が完了し、この後、ファイン初期調整が行われる。

（ｃ）ファイン初期調整（図３２、３３）

まず、ステップＳ１２において、ラフシフト順番信号RSOのレベルにより制御が分かれる。ラフシフト順番信号RSOがＨレベルの場合、制御はステップＳ１３に移行する。ラフシフト順番信号RSOがＬレベルの場合、制御はステップＳ２２に移行する。すなわち、ステップＳ１３～Ｓ２１は、内部クロック信号ACLKの位相が内部クロック信号BCLKより進んでいる場合に行われるファイン初期調整である。ステップＳ２２～Ｓ３０は、内部クロック信号ACLKの位相が内部クロック信号BCLKより遅れている場合に行われるファイン初期調整である。

【０１２９】ステップＳ１３において、図１２に示した位相比較回路９０は、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICLKの位相を進めるため、制御はステップＳ１４に移行する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップＳ１５に移行する。

【０１３０】ステップＳ１４において、２進カウンタの上位２ビットCNT3,CNT2の値が“－１”され、カウント値が１０進数の“４”にされる。ステップＳ１５において、２進カウンタの上位２ビットCNT3,CNT2の値が“＋１”され、カウント値が１０進数の“１２”にされる。同様にして、ステップＳ１６～Ｓ１８、ステップＳ１９～Ｓ２１において、位相の比較結果に応じて２進カウンタの次の上位２ビットの値が“－１”または“＋１”される。

【０１３１】一方、ステップＳ２２において、図１２に示した位相比較回路９０は、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICLKの位相を進めるため、制御はステップＳ２３に移行する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップＳ２４に移行する。

【０１３２】ステップＳ２３において、２進カウンタの上位２ビットCNT3,CNT2の値が“＋１”され、カウント値が１０進数の“１２”にされる。ステップＳ２４において、２進カウンタの上位２ビットCNT3,CNT2の値が“－１”され、カウント値が１０進数の“４”にされる。同様にして、ステップＳ２５～Ｓ２７、ステップＳ２８～Ｓ３０において、位相の比較結果に応じて２進カウンタの次の上位２ビットの値が“＋１”または“－１”される。

【０１３３】図４０（ａ）は、内部クロック信号ACLKの位相が内部クロック信号BCLKの位相より早進んでいる場合のファイン初期調整の概要を示している。２進カウンタ１３６のカウント値は、位相比較回路９０での比較結果に応じて、上位ビットから順次確定していく。そして、カウンタ値に応じて内部クロック信号CLKIの位相は変化する。

【０１３４】図４０（ｂ）は、内部クロック信号ACLKの位相が内部クロック信号BCLKの位相より遅れている場合のファイン初期調整の概要を示している。２進カウンタ１３６のカウント値は、図４０（ａ）と同様に、位相比較回路９０での比較結果に応じて、上位ビットから順次確定していく。そして、カウンタ値に応じて内部クロック信号CLKIの位相は変化する。

【０１３５】このように、内部クロック信号ABCLKの位相をとびとびに変化させるため、ファイン初期調整での位相比較回数が最小限になる。また、ラフ初期調整後に直ちにファイン調整を行う場合に比べ、位相調整が早く行われる。ステップＳ２０、Ｓ２１またはステップＳ２９、Ｓ３０を実行した後、制御は、ラフ／ファイン調整に移行する。

【０１３６】（ｃ）ラフ／ファイン調整（図３４、３５）

まず、ステップＳ３２において、ラフシフト順番信号RSOのレベルが比較される。ラフシフト順番信号RSOがＨレベルの場合、制御はステップＳ３３に移行する。ラフシフト順番信号RSOがＬレベルの場合、制御はステップＳ４４に移行する。すなわち、ステップＳ３３～Ｓ４３は、内部クロック信号ACLKの位相が内部クロック信号BCLKより進んでいる場合に行われるラフ／ファイン調整の制御フローである。ステップＳ４４～Ｓ５５は、内部クロック信号ACLKの位相が内部クロック信号BCLKより遅れている場合に行われるラフ／ファイン調整の制御フローである。

【０１３７】ステップＳ３３において、図１２に示した位相比較回路９０は、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅

れている場合、内部クロック信号DICLKの位相を進めるため、制御はステップＳ３４に移行する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップＳ３５に移行する。

【０１３８】ステップＳ３４において、図１８に示したラフ／ファイン制御部４８は、最小信号MINのレベルをモニタする。ラフ／ファイン制御部４８は、最小信号MINがＬレベルのときに、内部クロック信号DICLKの位相を進めても２進カウンタ１３６の繰り下がりが起こらないと判断する。そして、ラフ／ファイン制御部４８は、図１９の制御状態図（Ａ）に示したように、ファインイネーブル信号FENを活性化し、制御をステップＳ３６に移行する。ラフ／ファイン制御部４８は、最小信号MINがＨレベルのときに、内部クロック信号DICLKの位相を進めると２進カウンタ１３６の繰り下がりが起こると判断する。そして、ラフ／ファイン制御部４８は、図１９の制御状態図（Ｄ）に示したように、ラフイネーブル信号RENを活性化し、制御をステップＳ３７に移行する。

【０１３９】ステップＳ３６において、図２８に示したファインコントロール１３４は、ファインイネーブル信号FENを受けて、図２９の制御状態図（Ａ）に示したように、カウントダウン信号DOWNを活性化する。２進カウンタ１３６は、カウントダウン信号DOWNを受けて、カウンタ値を“－１”し、カウンタ信号CNT3-CNT0として出力する。図１０に示した補間回路３８、４０は、カウンタ信号CNT3-CNT0に応じて内部クロック信号CLKI、/CLKIの位相を進める。

【０１４０】ラフ／ファイン調整では、４ビットのカウンタ値を１つずつずらしていくことで、温度変動等による位相のずれに対して、位相調整が精度よく行われる。ステップＳ３７において、図２１に示したラフコントロール１１８は、ラフイネーブル信号RENを受けて、図２２の制御状態図（Ｄ）に示したように、進み信号FWを活性化し、制御信号A、Bおよびシフト通知信号SINFを活性化する（図２３(c)(d)(g)）。図２６に示したシフトレジスタ選択回路１２４は、制御信号A、Bを受けて制御信号A2、B2を活性化する。図３に示した第２シフトレジスタ６４は、制御信号A2、B2を受けて、活性化される選択信号P11、P12、...およびイネーブル信号E11、E12、...を図の左側に１つシフトする。第２スイッチ回路６２は、新たに活性化された選択信号（例えばP11）を受けて、選択する偶数段目の遅延段を１つ前段側（例えばD11）にシフトする。そして、遅延回路５４は、内部クロック信号ACLK、/ACLKより位相の進んでいる内部クロック信号BCLK、/BCLKを出力する。遅延段活性化回路５６は、偶数段目の遅延段（例えばD12）に供給されるイネーブル信号（例えばE12）を非活性化し、遅延回路で消費される電力を低減する。

【０１４１】ここで、遅延段の切り替えは、２進カウンタ１３６のカウント値が最小値（ゼロ）のときに行われる。このため、図３９（ａ）に示したように、遅延段の切り替えにより内部クロック信号CLKIの位相は変化することはない。すなわち、遅延段の切り替えにより内部クロック信号CLKIにジッタが発生することはない。ステップＳ３８において、図２４に示したラフシフトラッチ１２０は、シフト通知信号SINFを受けてラフシフト順番信号RSOのレベルを反転する。

【０１４２】ステップＳ３９において、図２７に示したファインコントロール１３４は、カウントアップ信号UPを活性化する。２進カウンタ１３６は、カウントアップ信号UPを受けて、カウンタ値を１つ増やす。ラフ／ファイン調整では、遅延段の切り替えが行われても、内部クロック信号CLKIの位相調整単位は、２進カウンタ１３６の１単位である。このため、ノイズの発生により、位相の比較結果が瞬間的に大きくずれた場合にも、内部クロック信号CLKIの位相がそれに追従して変化することはない。すなわち、ノイズの影響を受けにくい。

【０１４３】一方、ステップＳ３５において、図１８に示したラフ／ファイン制御部４８は、最大信号MAXのレベルをモニタする。ラフ／ファイン制御部４８は、最大信号MAXがＬレベルのときに、内部クロック信号DICLKの位相を遅らせても２進カウンタ１３６の繰り上がりが起こらないと判断する。そして、ラフ／ファイン制御部４８は、図１９の制御状態図（Ａ）に示したように、ファインイネーブル信号FENを活性化し、制御をステップＳ４０に移行する。ラフ／ファイン制御部４８は、最大信号MAXがＨレベルのときに、内部クロック信号DICLKの位相を遅らせると２進カウンタ１３６の繰り上がりが起こると判断する。そして、ラフ／ファイン制御部４８は、図１９の制御状態図（Ｃ）に示したように、ラフイネーブル信号RENを活性化し、制御をステップＳ４１に移行する。

【０１４４】ステップＳ４０において、図２８に示したファインコントロール１３４は、ファインイネーブル信号FENを受けて、図２９の制御状態図（Ｂ）に示したように、カウントアップ信号UPを活性化する。２進カウンタ１３６は、カウントアップ信号UPを受けて、カウンタ値を“＋１”し、カウンタ信号CNT3-CNT0として出力する。図１０に示した補間回路３８、４０は、カウンタ信号CNT3-CNT0に応じて内部クロック信号CLKI、/CLKIの位相を遅くする。

【０１４５】ステップＳ４１において、図２１に示したラフコントロール１１８は、ラフイネーブル信号RENを受けて、図２２の制御状態図（Ｃ）に示したように、遅れ信号BWを活性化し、制御信号C、Dおよびシフト通知信号SINFを活性化する（図２３(e)(f)）。図２６に示したシフトレジスタ選択回路１２４は、制御信号C、Dを受けて制御信号C1、D1を活性化する。図３に示した第１シフトレジスタ６０は、制御信号C1、D1を受けて、活性化さ

れる選択信号P01、P02、...およびイネーブル信号E01、E02、...を図の右側に１つシフトする。第１スイッチ回路５８は、新たに活性化された選択信号（例えばP03）を受けて、選択する奇数段目の遅延段を１つ後段側（例えばD03）にシフトする。そして、遅延回路５４は、内部クロック信号BCLK、/BCLKより位相の遅い内部クロック信号ACLK、/ACLKを出力する。

【０１４６】ここで、遅延段の切り替えは、２進カウンタ１３６のカウント値が最大値（１０進数の“１６”）のときに行われる。このため、図３９（ａ）に示したように、遅延段の切り替えにより内部クロック信号CLKIの位相は変化することはない。すなわち、ステップＳ３７と同様、遅延段の切り替えにより内部クロック信号CLKIにジッタが発生することはない。

【０１４７】ステップＳ４２では、上述したステップＳ３８と同じ制御が行われ、ラフシフト順番信号RSOのレベルが反転される。ステップＳ４３において、図２７に示したファインコントロール１３４は、カウントダウン信号DOWNを活性化する。２進カウンタ１３６は、カウントダウン信号DOWNを受けて、カウンタ値を１つ減らす。

【０１４８】ステップＳ３６、Ｓ３９、Ｓ４０、Ｓ４３を実行した後、制御は再びステップＳ３２へ移行する。一方、ステップＳ４４～Ｓ５４では、内部クロック信号DICLKの位相を進める制御と、遅らせる制御は、上述したステップＳ３３～Ｓ４３とは逆に行われる。まず、ステップＳ４４において、図１２に示した位相比較回路９０は、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を進めるため、制御はステップＳ４５に移行する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップＳ４６に移行する。

【０１４９】ステップＳ４５において、図１８に示したラフ／ファイン制御部４８は、最大信号MAXのレベルをモニタする。ラフ／ファイン制御部４８は、最大信号MAXがＬレベルのときに、内部クロック信号DICLKの位相を進めても２進カウンタ１３６の繰り上がりが起こらないと判断する。そして、ラフ／ファイン制御部４８は、図１９の制御状態図（Ｆ）に示したように、ファインイネーブル信号FENを活性化し、制御をステップＳ４７に移行する。ラフ／ファイン制御部４８は、最大信号MAXがＨレベルのときに、内部クロック信号DICLKの位相を遅らせると２進カウンタ１３６の繰り上がりが起こると判断する。そして、ラフ／ファイン制御部４８は、図１９の制御状態図（Ｇ）に示したように、ラフイネーブル信号RENを活性化し、制御をステップＳ４８に移行する。

【０１５０】ステップＳ４７では、上述したステップＳ４０と同じ制御が行われ、２進カウンタ１３６のカウント値が“＋１”される。ステップＳ４８において、図２１に示したラフコントロール１１８は、ラフイネーブル信号RENを受けて、図２２の制御状態図（Ｇ）に示したように、進み信号FWを活性化し、制御信号A、Bおよびシフト通知信号SINFを活性化する（図２３(c)(d)(g)）。図２６に示したシフトレジスタ選択回路１２４は、制御信号A、Bを受けて制御信号A1、B1を活性化する。図３に示した第１シフトレジスタ６０は、制御信号A1、B1を受けて、活性化される選択信号P01、P02、...およびイネーブル信号E01、E02、...を図の左側に１つシフトする。第１スイッチ回路５８は、新たに活性化された選択信号（例えばP01）を受けて、選択する奇数段目の遅延段を１つ前段側（例えばD01）にシフトする。そして、遅延回路５４は、内部クロック信号BCLK、/BCLKより位相の進んでいる内部クロック信号ACLK、/BCLKを出力する。遅延段活性化回路５６は、奇数段目の遅延段（例えばD02）に供給されるイネーブル信号（例えばE02）を非活性化し、遅延回路で消費される電力を低減する。

【０１５１】ステップＳ４９では、上述したステップＳ３８と同じ制御が行われ、ラフシフト順番信号RSOのレベルが反転される。ステップＳ５０では、上述したステップＳ４３と同じ制御が行われ、２進カウンタ１３６のカウント値が“－１”される。一方、ステップＳ４６において、図１８に示したラフ／ファイン制御部４８は、最小信号MINのレベルをモニタする。ラフ／ファイン制御部４８は、最小信号MINがＬレベルのときに、内部クロック信号DICLKの位相を遅らせても２進カウンタ１３６の繰り下がりが起こらないと判断する。そして、ラフ／ファイン制御部４８は、図１９の制御状態図（Ｆ）に示したように、ファインイネーブル信号FENを活性化し、制御をステップＳ５１に移行する。ラフ／ファイン制御部４８は、最小信号MINがＨレベルのときに、内部クロック信号DICLKの位相を遅らせると２進カウンタ１３６の繰り下がりが起こると判断する。そして、ラフ／ファイン制御部４８は、図１９の制御状態図（Ｊ）に示したように、ラフイネーブル信号RENを活性化し、制御をステップＳ５２に移行する。

【０１５２】ステップＳ５１では、上述したステップＳ３６と同じ制御が行われ、２進カウンタ１３６のカウント値が“－１”される。ステップＳ５２において、図２１に示したラフコントロール１１８は、ラフイネーブル信号RENを受けて、図２２の制御状態図（Ｊ）に示したように、遅れ信号BWを活性化し、制御信号C、Dおよびシフト通知信号SINFを活性化する（図２３(e)(f)）。図２６に示したシフトレジスタ選択回路１２４は、制御信号C、Dを受けて制御信号C2、D2を活性化する。図３に示した第２シフトレジスタ６４は、制御信号C2、D2を受けて、活性化される選択信号P11、P12、...およびイネーブル信号E11、E12、...を図の右側に１つシフトする。第２スイッチ回路６２は、新たに活性化された選択信号

（例えばP13）を受けて、選択する偶数段目の遅延段を１つ後段側（例えばD13）にシフトする。そして、遅延回路５４は、内部クロック信号ACLK、/ACLKより位相の遅い内部クロック信号BCLK、/BCLKを出力する。

【０１５３】ステップＳ５３では、上述したステップＳ３８と同じ制御が行われ、ラフシフト順番信号RSOのレベルが反転される。ステップＳ５４では、上述したステップＳ３９と同じ制御が行われ、２進カウンタ１３６のカウント値が“＋１”される。ステップＳ４７、Ｓ５０、Ｓ５１、Ｓ５４を実行した後、制御はステップＳ５５へ移行する。

【０１５４】ステップＳ５５において、ラフシフト順番信号RSOのレベルが比較される。ラフシフト順番信号RSOがＬレベルの場合、制御は再びステップＳ４４に移行する。ラフシフト順番信号RSOがＨレベルの場合、制御はステップＳ３３に移行する。上述したように、ステップＳ３２～ステップＳ５５が繰り返して実行され、ラフ／ファイン調整が行われる。そして、内部クロック信号CLKIの位相がクロック信号CLKの位相に合わせられる。

【０１５５】以上のように構成された半導体集積回路では、位相調整をラフ初期調整、ファイン初期調整（粗調整）とラフ／ファイン調整（微調整）との３段階に分けて行ったので、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を少ない位相比較回数で早く一致させることができる。遅延時間を所定値に固定した遅延段D01、D11、...を縦続接続して遅延回路５４を構成したので、遅延回路５４を簡易に構成することができる。一般に、遅延段D01、D11、...は、レイアウトサイズの大きいCR時定数回路等で構成されることが多い。本発明では、遅延段D01、D11、...の遅延時間を固定することで余分な素子を不要にし、レイアウトサイズを小さくした。これにより、チップサイズを小さくすることができる。

【０１５６】補間回路３８、４０を使用して位相の微調整を行ったので、微調整の最小単位を補間回路３８、４０の制度に合わせて小さくすることができる。すなわち、高い周波数のクロック信号CLK、/CLKが供給される半導体集積回路においても確実に位相調整を行うことができる。遅延段活性回路５６により、使用していない遅延段を非活性化したので、消費電力を低減することができる。

【０１５７】遅延段D01、D11、...に独立した電源線を接続したので、他の回路の影響を受けて、遅延段D01、D11、...の遅延時間が変動することを防止することができる。また、独立した電源線は、低電圧であるため、遅延段D01、D11、...の消費電力を小さくすることができ、その出力波形を、電源線VDDが接続される場合より緩やかにすることができる。

【０１５８】内部クロック信号ACLK、BCLKに互いに重なる期間T1を設けたので、補間回路３８を正常かつ確実に動作させることができる。開始信号STTを内部クロック信号CLK-Kの立ち下がりに同期して活性化した。このため、位相比較の開始時に、遅延クロック生成部３６、位相比較部４６等の動作を互いに同期して開始することができ、常に所定の状態から位相比較を開始することができる。また、内部クロック信号CLK-K等のＨレベル期間が開始信号STTによりマスクされハザードとなることを防止することができ、位相比較の開始時の誤動作を防止することができる。

【０１５９】第１、第２分周回路８２、８４を使用して４分の１分周した内部クロック信号DICLK、参照クロック信号REFCLKを位相比較した。このため、高い周波数のクロック信号CLK、/CLKが供給される場合にも、位相比較回路９０を確実に動作させることができる。また、位相比較の頻度が少なくなるため、消費電力を低減することができる。さらに、図３２のステップＳ２０、Ｓ２１の終了後、またはラフロックオン信号RLONがＨレベルになってから所定のクロック数後に、位相比較の頻度をさらに下げることで、より消費電力を低減することができる。

【０１６０】位相比較の開始時に、第１分周回路８２および第２分周回路８４を開始信号STTに同期して動作させ、所定のクロック数後に分周した内部クロック信号および参照クロック信号REFCLKを出力した。このため、クロック信号CLK、/CLKの周波数が特定の範囲の場合において、位相比較の開始時に、位相比較回路９０に供給される内部クロック信号および参照クロック信号REFCLKの位相のずれの最大値を小さくすることができる。この結果、粗調整における位相比較の回数を低減することができる。一般に、半導体集積回路は、製品によって動作周波数の範囲が決まっているため、本発明の適用により十分な効果が得られる。

【０１６１】ラフ初期調整の完了の判断を、簡易なラッチ回路（シフト方向保持回路１１２）で行ったので、回路規模を低減することができる。ラフ初期調整において、２進カウンタ１３６のカウンタ値を中央の値に設定したので、内部クロック信号CLKIの位相を、遅延段の切り替え時に均等に変化させることができる。このため、ラフ初期調整後のファイン初期調整において、補間回路３８、４０による位相調整の範囲が所定内にされ、位相比較回数を最小限にすることができる。

【０１６２】ファイン初期調整において、内部クロック信号ABCLKの位相をとびとびに変化させたので、ファイン初期調整での位相比較回数が最小限にすることができる。また、ラフ初期調整後に直ちにファイン調整を行う場合に比べ、位相調整を早く行うことができる。ラフ／ファイン調整において、カウンタ値の増加時に、内部クロック信号CLKIの位相を、常に奇数段目の遅延段D01、D02、...から偶数段目の遅延段D11、D12、...に向けて変化させ、カウンタ値の減少時に、内部クロック信号CLKI

の位相を、常に奇数段目の遅延段D01、D02、...から偶数段目の遅延段D11、D12、...に向けて変化させた。このため、カウンタ値が最大または最小になった場合にもカウンタ値をリセットまたはセットする必要はなく、遅延段遅延段D01 D11、...の切り替えを行うだけでよい。このため、図３９（ａ）に示したように、遅延段の切り替えにより内部クロック信号CLKIの位相は変化することはない。この結果、遅延段の切り替えにより内部クロック信号にジッタが発生することを防止することができる。

【０１６３】ラフ／ファイン調整において、４ビットのカウンタ値を１つずつずらしていく制御を行った。このため、ノイズの発生により、位相の比較結果が瞬間的に大きくずれた場合にも、内部クロック信号CLKIの位相がそれに追従して変化することを防止することができる。すなわち、ノイズの影響は受けにくい。また、温度変動、電圧変動等による位相のずれに対して、位相調整を精度よく行うことができる。内部クロック信号ACLK、BCLKの位相を１６等分し、補間回路３８、４０により、１６種類の位相の内部クロック信号ABCLKを生成することができる。

【０１６４】次に、本発明の半導体集積回路の第２の実施形態について説明する。この実施形態は、請求項１ないし請求項５に対応している。なお、第１の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。図４１は、DDR-SDRAMに搭載されたクロック制御部１４０を示している。この実施形態のクロック制御部１４０は、第１の実施形態に比べ位相比較部１４１、ラフ／ファイン制御部１４２、およびラフ制御部１４４が相違している。

【０１６５】位相比較部１４１は、内部クロック信号CLKI、CLK-Kおよび開始信号STTを受け、ファイン比較結果信号FCOMP、ラフ位相比較信号RCOMP、およびタイミング信号TIMを出力している。ラフ／ファイン制御部１４２は、ラフ比較結果信号COMP、タイミング信号TIM、最大信号MAX、最小信号MIN、ラフシフト順番信号RSO、および開始信号STTを受け、ラフイネーブル信号REN、ファインイネーブル信号FEN、およびラフロックオン信号RLONを出力している。ラフ制御部１４４は、ラフイネーブル信号REN、ラフロックオン信号RLON、最大信号MAX、最小信号MIN、および開始信号STTを受け、ラフシフト順番信号RSO、および制御信号A1-D1、A2-D2を出力している。

【０１６６】図４２は、位相比較部１４１の詳細を示している。位相比較部１４１は、第１の実施形態と同一の第１分周回路８２、第２分周回路８４、ダミー出力バッファ８６、およびダミー入力バッファ８８と、ファイン位相比較回路１４８、ラフ位相比較回路１５０を備えている。ファイン位相比較回路１４８は、参照クロック信号REFCLKおよび内部クロック信号DICLKの位相を比較し、ファイン比較結果信号FCOMPを出力する回路である。ラフ位相比較回路１５０は、参照クロック信号REFCLKおよび内部クロック信号DICLKの位相を比較し、ラフ比較結果信号RCOMPおよびタイミング信号TIMを出力する回路である。

【０１６７】図４３は、ファイン位相比較回路１４８の詳細を示している。ファイン位相比較回路１４８は、第１の実施形態の位相比較回路９０からタイミング生成回路１０８を除いた回路である。ファイン位相比較回路１４８は、パルス発生回路１０２のNORゲート１０２ｃの出力からサンプリング信号SMPLを出力し、フリップフロップ１０６のNANDゲート１０６ｂの出力からファイン比較結果信号FCOMPを出力している。

【０１６８】図４４は、ラフ位相比較回路１５０の詳細を示している。ラフ位相比較回路１５０は、２つの２入力のNANDゲートからなるフリップフロップ回路１５０ａ、１５０ｂ、１５０ｃ、１５０ｄと、２入力のAND回路１５０ｅと、フリップフロップ回路１５０ｃ、１５０ｄの入力にそれぞれ接続された２入力のNANDゲート１５０ｆ、１５０ｇ、１５０ｈ、１５０ｉと、タイミング生成回路１５０ｊとで構成されている。タイミング生成回路１５０ｊは、第１の実施形態のタイミング生成回路１０８の遅延回路１０８ａをCR時定数回路１５０ｋに置き換えた回路である。CR時定数回路１５０ｋは、図３に示した遅延段D01、D11、D02、D12、...の遅延時間と同一またはわずかに大きい遅延時間を有している。タイミング生成回路１５０ｊは、CR時定数回路１５０ｋで遅延させた内部クロック信号DICLKと参照クロック信号REFCLKとをNANDゲート１０８ｂで受け、タイミング信号TIMを出力している。

【０１６９】フリップフロップ回路１５０ａの入力には、参照クロック信号REFCLKおよび内部クロック信号DICLKが供給されている。フリップフロップ回路１５０ａの出力ノードN21、N22は、それぞれNANDゲート１５０ｆ、１５０ｇの一方の入力に接続されている。フリップフロップ回路１５０ｂの入力には、参照クロック信号REFCLKおよびタイミング生成回路１５０ｊのCR時定数回路１５０ｋで遅延させた内部クロック信号DICLKが供給されている。フリップフロップ回路１５０ｂの出力ノードN23、N24は、それぞれがNANDゲート１５０ｈ、１５０ｉの一方の入力に接続されている。

【０１７０】NANDゲート１５０ｆ～１５０ｉの他方の入力には、サンプリング信号SMPLが供給されている。フリップフロップ回路１５０ｃ、１５０ｄは、それぞれ比較結果信号CP5、CP6および比較結果信号CP7、CP8を出力している。AND回路１５０ｅは、比較結果信号CP5、CP8を受け、ラフロックオン信号RLONを出力している。図４５は、ラフ位相比較回路１５０の動作タイミングを示している。

【０１７１】内部クロック信号DICLKの位相が参照クロ

ック信号REFCLKの位相より進んでいる場合、図４４に示したフリップフロップ回路１５０ａ、１５０ｂは、ともに内部クロック信号DICLKに同期して動作する。このため、ノードN21、N23、ノードN22、N24には、ほぼ同じ信号が出力される（図４５(a)）。ここで、フリップフロップ回路１５０ｂの入力には、CR時定数回路１５０ｋを介して内部クロック信号DICLKが供給されているため、信号波形はわずかに異なっている。フリップフロップ回路１５０ｃ、１５０ｄは、サンプリング信号SMPLに同期してノードN21～N24の信号を取り込み、それぞれ比較結果信号CP5～CP8として出力ずる（図４５(b)）。

【０１７２】内部クロック信号DICLKの位相と、参照クロック信号REFCLKの位相との差が、CR時定数回路１５０ｋの遅延時間より小さい場合、フリップフロップ回路１５０ａは、内部クロック信号DICLKに同期して動作し、フリップフロップ回路１５０ｂは、参照クロック信号REFCLKに同期して動作する。このため、ノードN21、N23、ノードN22、N24には、互いに逆相の信号が出力される（図４５(c)）。フリップフロップ回路１５０ｃ、１５０ｄは、サンプリング信号SMPLに同期してノードN21～N24の信号を取り込み、それぞれ比較結果信号CP5～CP8として出力する（図４５(d)）。

【０１７３】内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合、フリップフロップ回路１５０ａ、１５０ｂは、ともに参照クロック信号REFCLKに同期して動作する。このため、ノードN21、N23、ノードN22、N24には、ほぼ同じ信号が出力される（図４５(e)）。フリップフロップ回路１５０ｃ、１５０ｄは、サンプリング信号SMPLに同期してノードN21～N24の信号を取り込み、それぞれ比較結果信号CP5～CP8として出力する（図４５(f)）。

【０１７４】また、ラフ位相比較回路１５０は、位相の差がCR時定数回路１５０ｋの遅延時間より小さくなり、比較結果信号CP5、CP8がともにＨレベルになったときに、後述するラフ初期調整での位相が一致したと判断する。そして、ラフロックオン信号RLONを活性化する（図４５(g)）。このように、ラフ初期調整時における位相一致の判断を、独立したラフ位相比較回路１５０で行っているため、第１の実施形態と異なり、内部クロック信号ACLK、（または/BCLK）のシフト方向を反転させる必要がなくなる。この結果、ラフ初期調整を高速に行うことが可能になる。

【０１７５】図４６は、ラフ／ファイン制御部１４２の詳細を示している。ラフ／ファイン制御部１４２は、第１の実施形態のラフ／ファイン制御部４８の組み合わせ回路１１０と同一の回路である。図４７は、ラフ制御部１４４の詳細を示している。ラフ制御部１４４は、ラフコントロール１５２と、ラフシフトラッチ１２０と、レジスタ選択スイッチ１２４とで構成されている。ラフシフトラッチ１２０およびレジスタ選択スイッチ１２４は、第１の実施形態を同一の回路である。また、この実施形態では、第１の実施形態のシフト方向ラッチ１２２は搭載されていない。

【０１７６】図４８は、ラフコントロール１５２の詳細を示している。ラフコントロール１５２は、組み合わせ回路１５４と、分周回路１２８と、制御回路１３０と、OR回路１３２とで構成されている。分周回路１２８、制御回路１３０、およびOR回路１３２は、第１の実施形態と同一の回路である。組み合わせ回路１５４は、図２１に示した第１の実施形態の組み合わせ回路１２６と以下の点で相違している。すなわち、組み合わせ回路１２６では、進み信号FW、遅れ信号BWを出力するNANDゲートの前段の３入力NANDゲートおよび２入力NANDゲートには、比較結果信号COMPの論理が供給されている。組み合わせ回路１５４では、３入力NANDゲートには、ファイン比較結果信号FCOMPの論理が供給され、２入力NANDゲートには、それぞれAND回路を介して比較結果信号CP5、CP7、および比較結果信号CP6、CP8が供給されている。

【０１７７】図４９は、組み合わせ回路１５４の動作の制御状態図を示している。例えば、組み合わせ回路１５４は、ラフロックオン信号RLONがＬレベル、比較結果信号CP5、CP7がＨレベルのときに、遅れ信号BWを活性化し、ラフロックオン信号RLONがＬレベル、比較結果信号CP6、CP8がＨレベルのときに、進み信号FWを活性化する。組み合わせ回路１５４は、ラフロックオン信号RLON、ラフシフト順番信号RSO、最大信号MAX、ファイン比較結果信号FCOMPがともにＨレベルのときに、遅れ信号BWを活性化する。組み合わせ回路１５４は、ラフロックオン信号RLON、ラフシフト順番信号RSOがＨレベル、最大信号MAX、最小信号がＬレベルのときには、進み信号FW、遅れ信号BWとも非活性化する。

【０１７８】上述した半導体集積回路では、以下示すように、内部クロック信号CLKIの位相調整が行われる。図５０は、上述した各回路が行う位相調整を制御を示すフローチャートである。位相調整の制御は、リセット信号/RESETの解除により開始され、初期設定、ラフ初期調整、ファイン初期調整、ラフ／ファイン調整が順次行われる。

【０１７９】初期設定、ファイン初期調整、ラフ／ファイン調整の制御フローは、第１の実施形態と同一であるため、説明を省略する。ラフ初期調整では、ステップＳ６１において、図４２に示したラフ位相比較回路１５０は、参照クロック信号REFCLKと内部クロック信号DICLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合には、ラフ比較結果信号FCOMPはＨレベルにされる。ラフ比較結果信号FCOMPのＨレベルにより、この後、内部クロック信号DICLKを遅らせる制御が行われる。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合には、ラフ比較結果信号FCOMPはＬ

レベルにされる。ラフ比較結果信号FCOMPのLレベルにより、この後、内部クロック信号DICLKを進める制御が行われる。また、内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相と一致した場合には、ラフロックオン信号RLONはHレベルにされる。

【０１８０】ステップＳ６２において、ラフロックオン信号RLONがHレベルの場合、制御はファイン調整に移行する。ラフロックオン信号RLONがLレベルの場合、制御はステップＳ６３に移行する。ステップＳ６３において、図４８に示したラフコントロール１５２は、遅延段を切り替える制御を行う。遅延段の制御は、図４９に示した制御状態図にしたがってしたがって行われる。

【０１８１】ステップＳ６４のラフシフト順番信号RSOの反転、およびステップＳ６５のシフト方向のラッチは、第１の実施形態のステップＳ７、Ｓ８と同一の制御が行われる。この後、制御は、再びステップＳ６１に移行する。そして、ラフ初期調整の後、ファイン初期調整、ラフ／ファイン調整が行われ、内部クロック信号CLKIの位相がクロック信号CLKの位相に合わせられる。

【０１８２】この実施形態の半導体集積回路においても、上述した第１の実施形態と同様の効果を得ることができる。さらに、この実施形態では、位相比較回路１４６をファイン位相比較回路１４８とラフ位相比較回路１５０とで構成し、ラフ初期調整における位相一致の判断と、ファイン初期調整における位相一致の判断とを、別の制御回路で行った。このため、ラフ初期調整を効率よく高速に行うことができる。

【０１８３】次に、本発明の半導体集積回路の第３の実施形態について説明する。この実施形態は、請求項１ないし請求項５に対応している。なお、第１の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。この実施形態では、第１の実施形態に比べ、第１分周回路１５６のみが相違し、その他の構成は同一である。また、この実施形態は、第１の実施形態に比べて低い周波数で動作する半導体集積回路に適用することで、顕著な効果を得られる。

【０１８４】図５１は、第１分周回路１５６を示している。第１分周回路１５６は、第１の実施形態と同一の２つの分周器９２を備えている。前段の分周器９２には、入力端子INに内部クロック信号CLK-Kが供給され、制御端子STT1に開始信号STTが供給され、制御端子STT2に電源線VDDが接続されている。後段の分周器９２の入力端子IN、制御端子STT1、STT2には、それぞれスイッチ１５６ａ、１５６ｂ、１５６ｃが接続されている。スイッチ１５６ａは、前段の分周器９２の出力端子OUT、/OUTの一方を入力端子INに接続する素子である。スイッチ１５６ｂは、電源線VDDのHレベル、または開始信号STTを制御端子STT1に供給する素子である。スイッチ１５６は、電源線VDDのHレベル、または開始信号STTを制御端子STT2に供給する素子である。各スイッチ１５６ａ、１５６ｂ、１５６ｃは、CMOSスイッチで形成されている。各スイッチ１５６ａ、１５６ｂ、１５６ｃの切り替えは、半導体集積回路の動作モードを設定するモードレジスタを所定の値にすることで行われる。

【０１８５】本実施形態では、後段の分周器９２の入力端子INには、前段の分周器９２の出力端子/OUTが接続され、後段の分周器９２の制御端子STT1および制御端子STT2には、開始信号STTおよび電源線VDDのHレベルが供給されている。図５２は、位相調整開始時の第１分周回路１５６および第２分周回路８４（図１３）の動作タイミングを示している。

【０１８６】この実施形態では、第１分周回路１５６から出力される参照クロックREFCLKは、内部クロック信号CLKIを受けた後、４クロックで出力が開始される。このため、位相調整開始時の内部クロック信号DICLKと参照クロックREFCLKとの位相差T6は、５クロックで参照クロックREFCLKを出力した場合の位相差T7に比べ小さくなる。したがって、動作周波数が低い場合に、参照クロックREFCLKの出力が開始されるまでのクロック数を少なくすることで、ラフ初期調整に必要な位相比較の回数を低減することができる。また、位相調整開始時の内部クロック信号DICLKと参照クロックREFCLKとの位相差を小さくすることで（例えば、T7→T6）、図３に示した遅延回路５４内で活性化させる遅延段の数が少なくなり、消費電力を低減することができる。

【０１８７】なお、上述した第１の実施形態では、それぞれ奇数段目の遅延段D01、D02、...および偶数段目の遅延段D11、D12、...のシフト動作を、それぞれ第１、第２シフトレジスタ６０、６４により行った例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図５３に示すように、遅延段D01、D11、D02、D12、...のシフト動作を、１つのシフトレジスタ１６０により行ってもよい。

【０１８８】シフトレジスタ１６０は、第１シフトレジスタ６０と同一の制御回路６６を備えて構成されている。シフトレジスタ１６０は、NORゲート６６ａの一方の入力に、隣接する制御回路６６（図の左側）のNANDゲート６６ｂの出力が接続されている点、およびイネーブル信号EN11、EN02、...がインバータ１６０ａを介して出力されている点で、第１シフトレジスタ６０と相違している。

【０１８９】以下、シフトレジスタ１６０の動作を簡単に説明する。例えば、初期状態において、選択信号P02、P12がHレベルにされ、イネーブル信号E03以降がLレベルされているとする。この場合、内部クロック信号ACLK、BCLKは、それぞれ遅延段D02、D12の出力から生成されている。位相比較の結果、位相を遅らせる必要がある場合には、制御信号C、Dが活性化される。制御信号C、Dを受けて、選択信号P12を出力している制御回路６６のn

MOS６６ｆがオンし、インバータ６６ｃの出力が強制的にＬレベルにされる。このＬレベルにより、イネーブル信号EO3および選択信号PO3はＨレベルになり、NANDゲート６６ｂの出力はＨレベルになる。NANDゲート６６ｂのＨレベルにより、選択信号PO2はＬレベルになる。この結果、図３８（ａ）に示したように、内部クロック信号ACLKの位相が遅くされる。なお、各イネーブル信号EN11、EN02、...は、各遅延段D11、D02、...に直接供給される。

【０１９０】一方、位相比較の結果、位相を進める必要がある場合には、制御信号A、Bが活性化される。制御信号Bを受けて、選択信号PO2を出力している制御回路６６のnMOS６６ｄがオンし、NANDゲート６６ｂの出力が強制的にＬレベルにされる。このＬレベルにより、選択信号P11はＨレベルになり、インバータ６６ｃの出力はＨレベルになる。インバータ６６ｃのＨレベルにより、イネーブル信号EO3および選択信号P12はＬレベルになる。この結果、図３８（ａ）に示したように、内部クロック信号BCLKの位相が遅くされる。

【０１９１】シフトレジスタ１６０に、図２０に示したラフコントロール１１８から出力される制御信号A-Dを直接供給することができるため、第１の実施形態のレジスタ選択スイッチ１２４（図２６）は不要になる。また、シフトレジスタ１６０のイネーブル信号EN11、EN02、...を、各遅延段D11、D02、...に直接供給することができため、遅延段活性化回路５６（図９）は不要になる。

【０１９２】上述した第１の実施形態では、図４に示したように、CR時定数回路４８ｄ、４８ｅを使用して遅延段D01、D11、D02、D12、...を構成した例について述べた。本発明はかかる実施形態に限定されるものではない。遅延段は、補間回路３８、４０を正常に動作させるために、緩やかな波形のクロック信号を出力するものであればよい。以下、遅延段の別の構成例を示す。

【０１９３】図５４に示す遅延段１６２は、入力信号IN、/INを受け、出力信号OUT、/OUTを生成する差動増幅回路で構成されている。差動増幅回路は、カレントミラー回路等の定電流源およびnMOSを備えており、イネーブル信号ENは接地線VSSに接続されたnMOSのゲートに接続されている。図５５に示す遅延段１６４は、２つのCR時定数回路１６４ａを直列に配置して構成されている。

【０１９４】図５６に示す遅延段１６６は、CMOSで構成される２つのOR回路（負論理のAND回路）１６６ａと、OR回路１６６ａの電源端子（図示せず）に接続されたpMOS１６６ｂ、１６６ｃ、nMOS１６６ｄ、１６６ｅと、pMOS１６６ｂ、１６６ｃのゲート、およびnMOS１６６ｄ、１６６ｅのゲートに接続された定電圧源１６６ｆ、１６６ｇとで構成されている。各トランジスタ１６６ｂ～１６６ｅは抵抗として作用し、OR回路１６６ａの出力波形を緩やかにする。

【０１９５】上述した第１の実施形態では、図１０に示したように、ゲート幅の異なるクロックドインバータを使用して補間回路３８を形成し、カウンタ信号CNT3-CNT0の重み付けに応じた位相のABCLKを生成した例について述べた。本発明はかかる実施形態に限定されるものではない。以下、補間回路の別の構成例を示す。図５７に示す補間回路１６８は、定電流源１６８ａと、定電流源１６８ａから供給される電流を引き抜くゲート幅の異なる４つのnMOS１６８ｂ、１６８ｃ、１６８ｄ、１６８ｅと、各トランジスタのソース側に直列に接続された４つのnMOS１６８ｆとを２組備え、さらに、出力を互いに接続した２つの差動増幅回路１６８ｇ、１６８ｈからなる差動増幅部１６８ｉを備えて構成されている。nMOS１６８ｂ、１６８ｃ、１６８ｄ、１６８ｅに記載されている数字は、ゲート幅の比率を示している。nMOS１６８ｅ、１６８ｄ、１６８ｃ、１６８ｂのゲートには、それぞれカウンタ信号CNT3-CNT0が供給されている。nMOS１６８ｆのゲートには、定電圧信号VCが供給されている。定電流源１６８ａに接続されたノードV1、V2は、それぞれ差動増幅回路１６８ｇ、１６８ｈにおける接地線VSSに接続されたnMOSのゲートに接続されている。

【０１９６】差動増幅部１６８ｉの出力は、差動増幅回路からなるバッファ１７０ａ、１７０ｂに接続されている。バッファ１７０ａ、１７０ｂの出力からは、内部クロック信号CLKI、/CLKIが出力されている。補間回路１６８では、カウンタ信号CNT3-CNT0の重み付けに応じてノードV1、V2の電圧が変化し、差動増幅回路１６８ｇ、１６８ｈの増幅能力が変化することで、内部クロック信号ACLK、BCLK（または/ACLK、/BCLK）の間に位相を有する内部クロック信号CLKI（または/CLKI）が生成される。

【０１９７】この補間回路１６８は、図５４に示した遅延段１６２と組み合わせて使用することで、一定のデューティ比の内部クロック信号CLKI、/CLKIを安定して生成することができる。図５８に示す補間回路１７２は、ゲート幅が異なり、出力が互いに接続された４つのCMOSスイッチ１７０ａ、１７２ｂ、１７２ｃ、１７２ｄを２組備えて構成されている。CMOSスイッチ１７０ａ、１７２ｂ、１７２ｃ、１７２ｄに記載されている数字は、ゲート幅の比率を示している。内部クロックACLKが供給されるCMOSスイッチ１７０ａ、１７２ｂ、１７２ｃ、１７２ｄは、カウンタ信号CNT3-CNT0で制御されている。内部クロックBCLKが供給されるCMOSスイッチ１７０ａ、１７２ｂ、１７２ｃ、１７２ｄは、インバータを介してカウンタ信号CNT3-CNT0の反転論理で制御されている。補間回路１７２から出力される内部クロック信号ABCLKは、バッファ４２（または４４）に供給されている。

【０１９８】補間回路１７２では、CMOSスイッチ１７０ａ、１７２ｂ、１７２ｃ、１７２ｄが、カウンタ信号CNT3-CNT0の重み付けに応じた可変抵抗として作用するこ

とで、内部クロック信号ACLK、BCLK（または/ACLK、/BCLK）の間に位相を有する内部クロック信号ABCLK（または/ABCLK）が生成される。内部クロック信号ABCLK（または/ABCLK）は、バッファ４２（または４４）に供給され、内部クロック信号CLKI（または/CLKI）として出力される。

【０１９９】上述した第１の実施形態では、２進カウンタ１３６を４ビットで構成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、補間回路３８、４０の位相調整の精度に合わせて、２進カウンタ１３６を６ビットまたは８ビットで構成してもよい。上述した第１の実施形態では、図７および図８に示したように、第１、第２スイッチ回路５８、６２をCMOSスイッチ７２ａで構成し、遅延段で生成された緩やかな波形のクロック信号を補間回路３８、４０に伝達した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図５９に示すように、スイッチ回路１７４をクロックドインバータ１７４ａで構成し、スイッチ回路１７４で緩やかな波形のクロック信号を生成してもよい。この場合、図６０に示すように、遅延段１７６を単純なOR回路等で形成することができる。

【０２００】上述した第１の実施形態では、相補のクロック信号CLK、/CLKが供給されるDDR-SDRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、クロック信号CLKのみが供給されるSDRAMに適用してもよい。図６１および図６２は、本発明を適用したSDRAMのクロック制御部１７８および遅延クロック生成部１８０を示している。

【０２０１】図６１において、SDRAMでは、クロック信号CLKに関するクロックバッファ３４ａ、補間回路３８、バッファ４２のみが形成されている。遅延クロック生成部１８０は、内部クロック信号ACLK、BCLKのみを出力している。図６２において、遅延回路１８２の各遅延段D01、D11、D02、D12、...は、内部クロック信号CLK01、CLK11、CLK02、...のみを出力している。第１スイッチ回路１８４は、内部クロック信号CLK01、CLK02、...のいずれかを内部クロック信号ACLKとして出力している。第２スイッチ回路１８６は、内部クロック信号CLK11、CLK12、...のいずれかを内部クロック信号BCLKとして出力している。

【０２０２】上述した第１の実施形態では、本発明を、DDR-SDRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、本発明をDRAM、SRAM等の半導体メモリに適用してもよい。さらに、本発明をDRAMのメモリコアを内蔵したシステムLSIに適用してもよい。上述した第３の実施形態では、第１分周回路１５６にCMOSスイッチで形成されたスイッチ１５６ａ、１５６ｂ、１５６ｃを備え、モードレジスタを所定の値にすることでスイッチ１５６ａ、１５６ｂ、１５６ｃの切り替えを行う例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、第１分周回路１５６のスイッチをポリシリコン等のヒューズで構成し、ヒューズの溶断によりスイッチの切り替えを行ってもよい。この場合、半導体集積回路の製造工程で、参照クロックREFCLKの出力タイミングを設定することができる。一般に、半導体集積回路は、動作周波数ごとに製品名を変えて出荷されている。また、半導体集積回路は、ウエハ内でのチップの位置、製造ロットにより、周波数特性がある程度ばらつく。このため、製造工程において製品の動作周波数に応じてヒューズを溶断し、参照クロックREFCLKの出力タイミングを設定することで、個々の半導体集積回路に応じて、最適な参照クロックREFCLKの出力タイミングを設定することができる。この結果、遅延段活性化回路５６を有効に動作させて消費電力を低減することができる。

【０２０３】また、チップ上に、スイッチを制御するためのパッド等の取り出し部を形成してもよい。この場合には、製品の出荷前には、これ等パッドを試験端子として使用して、製品の評価を行うことができる。製品の出荷時には、パッドをボンディングワイヤ等で電源線VDDまたは接地線VSSに接続することで、スイッチをヒューズで構成した場合と同様の効果を得ることができる。さらに、製品の出荷時に、パッドと外部端子とを接続することで、半導体集積回路が搭載されるシステムのクロック周波数に応じて、基板上で参照クロックREFCLKの出力タイミングを設定することができる。

【０２０４】また、ここまでの説明では、図１２に示したように、ダミー出力バッファ８６およびダミー入力バッファ８８をダミー回路として使用してきた。しかしながら、ダミー入力バッファ８８のみを使用することで、クロック信号CLKのタイミングに合わせることができる。あるいは、ダミー入力バッファ８８のみを使用し、参照クロック信号REFCLKにラッチ回路分の遅延回路を追加することで、クロック信号CLKからラッチ回路分遅い内部クロック信号を作ることができる。

【０２０５】上述した第３の実施形態では、第１分周回路１５６にスイッチ１５６ａ、１５６ｂ、１５６ｃを備えた例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、第２分周回路８４にもスイッチを備えてもよい。以上の実施形態において説明した発明を整理して以下の項を開示する。

【０２０６】（１）請求項２記載の半導体集積回路において、前記制御回路は、前記基準クロック信号と前記内部クロック信号との位相が逆転したときに、比較結果が前記遅延段の遅延時間以下になったと判断することを特徴とする半導体集積回路。この半導体集積回路では、制御回路は、内部クロック信号と基準クロック信号との位相が逆転したことに基づいて、内部クロック信号と基準

クロック信号との位相差が遅延段の遅延時間以下になったと判断する。そして、補間回路による微調整を開始する。位相の逆転の判断は、ラッチ等の簡易な回路で容易に行うことができ、回路規模を小さくすることができる。

【０２０７】（２）請求項３記載の半導体集積回路において、前記制御回路は、位相比較の開始時に、前記２進カウンタを中央値に設定することを特徴とする半導体集積回路。この半導体集積回路では、制御回路は、位相比較の開始時に、２進カウンタを中央値に設定する。このため、スイッチ回路により位相の粗調整を行う場合に、内部クロック信号の位相を、遅延段の遅延時間に合わせて均等に変化させることができる。この結果、その後の補間回路による位相調整において、位相比較回数を最小限にすることができる。

【０２０８】（３）請求項３記載の半導体集積回路において、前記制御回路は、前記粗調整により前記内部クロック信号と前記基準クロック信号との位相差が前記遅延段の遅延時間以下になった後に、前記２進カウンタを１ずつ増加または減少して前記微調整を行うことを特徴とする半導体集積回路。この半導体集積回路では、粗調整により内部クロック信号と基準クロック信号との位相差が前記遅延段の遅延時間以下になった後、制御回路は、２進カウンタを１ずつ増加または減少して内部クロック信号の位相の微調整を行う。このため、内部クロック信号の位相調整が確実かつ精度よく行われる。

【０２０９】（４）請求項４記載の半導体集積回路において、前記制御回路は、前記２進カウンタの前記動作を最下位の２ビットまで行った後、該２進カウンタを１ずつ増加または減少して前記微調整を行うことを特徴とする半導体集積回路。この半導体集積回路では、制御回路は、２進カウンタの動作を最下位の２ビットまで行い、内部クロック信号と基準クロック信号との位相がほぼ一致した後、２進カウンタを１ずつ増加または減少して内部クロック信号の位相の微調整を行う。このため、その後の電圧変動、温度変動に対する内部クロック信号の位相の調整が確実かつ精度よく行うことができる。

【０２１０】（５）請求項３記載の半導体集積回路において、前記制御回路は、前記微調整により前記２進カウンタが最大値になり、さらに前記内部クロック信号の位相を同じ方向に調整するときに、前記スイッチ回路を制御し、前記第１クロック信号を、前記第２クロック信号を出力する前記遅延段に隣接する別の前記遅延段から出力することを特徴とする半導体集積回路。

【０２１１】この半導体集積回路では、微調整により２進カウンタが最大値になり、さらに内部クロック信号の位相を同じ方向に調整するときに、制御回路は、スイッチ回路を制御し、第１クロック信号を、第２クロック信号を出力する遅延段に隣接する別の遅延段から出力する。このため、第１クロック信号の位相が第２クロック信号の位相より進んでいるときには、第１クロック信号の位相は、スイッチ回路により第２クロック信号の位相より遅れる。第１クロック信号の位相が第２クロック信号の位相より遅れているときには、第１クロック信号の位相は、スイッチ回路により第２クロック信号の位相より進む。第２クロック信号は変化しない。内部クロック信号の位相は、２進カウンタが最大値のときには、第１クロック信号と第２クロック信号との位相の関係にかかわらず最も第２クロック信号側にある。このため、内部クロック信号の位相は、スイッチ回路の切り替えにより大きく変化することはない。すなわち、粗調整と微調整との切り替わり目で、内部クロック信号にジッタが発生することを防止できる。

【０２１２】（６）請求項３記載の半導体集積回路において、前記制御回路は、前記微調整により前記カウンタが最小値になり、さらに前記内部クロック信号の位相を同じ方向に調整するときに、前記スイッチ回路を制御し、前記第２クロック信号を、前記第１クロック信号を出力する前記遅延段に隣接する別の前記遅延段から出力することを特徴とする半導体集積回路。

【０２１３】この半導体集積回路では、微調整により２進カウンタが最小値になり、さらに内部クロック信号の位相を同じ方向に調整するときに、制御回路は、スイッチ回路を制御し、第２クロック信号を第１クロック信号を出力する遅延段に隣接する別の遅延段から出力する。このため、第２クロック信号の位相が第１クロック信号の位相より進んでいるときには、第２クロック信号の位相は、スイッチ回路により第１クロック信号の位相より遅れる。第２クロック信号の位相が第１クロック信号の位相より遅れているときには、第２クロック信号の位相は、スイッチ回路により第１クロック信号の位相より進む。第１クロック信号は変化しない。内部クロック信号の位相は、２進カウンタが最小値のときには、第１クロック信号と第２クロック信号との位相の関係にかかわらず最も第１クロック信号側にある。このため、内部クロック信号の位相は、スイッチ回路の切り替えにより変化することはない。すなわち、粗調整と微調整との切り替わり目で、内部クロック信号にジッタが発生することを防止できる。

【０２１４】（７）請求項１記載の半導体集積回路において、前記各遅延段の遅延時間は、前記基準クロック信号の周期に依存せず同一であることを特徴とする半導体集積回路。この半導体集積回路では、各遅延段の遅延時間は、基準クロック信号の周期に依存せず同一であるため、遅延回路に供給される基準クロック信号の周波数が変わった場合にも、各遅延段の遅延時間は所定値に保持される。したがって、基準クロック信号の周波数により粗調整、微調整の調整単位が変動することはなく、粗調整、微調整が確実に行うことができる。

【０２１５】（８）請求項２記載の半導体集積回路にお

いて、前記補間回路に供給される前記第１クロック信号および前記第２クロック信号の各立ち上がり期間の一部および各立ち下がり期間の一部は、それぞれ互いに重なりを有することを特徴とする半導体集積回路。この半導体集積回路では、補間回路に供給される第１クロック信号および第２クロック信号の各立ち上がり期間の一部および各立ち下がり期間の一部を、それぞれ互いに重ねることで、補間回路を確実に動作させることができる。

【０２１６】（９）請求項１記載の半導体集積回路において、前記遅延回路には、独立した電源電圧が供給されていることを特徴とする半導体集積回路。この半導体集積回路では、遅延回路には、独立した電源電圧が供給されているため、他の回路の影響を受けて、遅延回路の各遅延段の遅延時間が変動することを防止することができる。また、遅延回路に低電圧を供給することで、消費電力を低減することができる。

【０２１７】（１０）請求項１記載の半導体集積回路において、前記位相比較の開始時に、前記基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えたことを特徴とする半導体集積回路。

【０２１８】この半導体集積回路では、位相比較の開始時に、基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えている。このため、位相比較の開始時に、各制御回路を互いに同期させることができ、常に所定の状態から位相比較を開始することができる。

（１１）上記（１０）記載の半導体集積回路において、前記開始信号発生器は、前記基準クロック信号の立ち下がりに同期して、開始信号を活性化することを特徴とする半導体集積回路。

【０２１９】この半導体集積回路では、開始信号発生器は、基準クロック信号の立ち下がりに同期して開始信号を活性化する。このため、基準クロック信号のＨレベル期間が開始信号によりマスクされ、ハザードとなることを防止することができ、遅延回路を安定して動作させることができる。

（１２）請求項１記載の半導体集積回路において、前記基準クロック信号および前記内部クロック信号の周波数をそれぞれ分周する分周器を備え、前記位相比較回路には、前記各分周器を介して周波数を分周された前記基準クロック信号および前記内部クロック信号が供給されることを特徴とする半導体集積回路。

【０２２０】この半導体集積回路では、基準クロック信号および内部クロック信号の周波数をそれぞれ分周する分周器を備えている。位相比較回路には、各分周器を介して周波数を分周された基準クロック信号および内部クロック信号が供給される。このため、高い周波数の基準クロック信号が供給される場合にも、位相比較回路を確実に動作させることができる。また、位相比較の頻度が少なくなるため、消費電力を低減することができる。

【０２２１】（１３）上記（１２）記載の半導体集積回路において、前記位相比較の開始時に、前記基準クロック信号に同期して開始信号を活性化する開始信号発生器を備え、前記各分周器は、前記開始信号の活性化を受けて動作を開始し、所定のクロック数後に、それぞれ分周された前記基準クロック信号および前記内部クロック信号の出力を開始することを特徴とする半導体集積回路。

【０２２２】この半導体集積回路では、位相比較の開始時に、基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えている。各分周器は、開始信号の活性化を受けて動作を開始し、所定のクロック数後に、それぞれ分周された基準クロック信号および内部クロック信号の出力を開始する。このため、基準クロック信号が特定の周波数の場合に、位相比較回路に供給される基準クロック信号と内部クロック信号との位相のずれの最大値を小さくすることができる。この結果、粗調整における位相比較の回数を低減することができる。遅延回路の遅延段の段数を低減することができる。

【０２２３】（１４）上記（１３）記載の半導体集積回路において、前記所定のクロック数は、基準クロック信号の周波数に応じて設定可能であることを特徴とする半導体集積回路。この半導体集積回路では、開始信号の活性化を受けてから分周された基準クロック信号および内部クロック信号の出力を開始するまでのクロック数を、基準クロック信号の周波数に応じて設定することで、位相調整に必要な位相比較の回数を低減することができる。

【０２２４】（１５）上記（１３）記載の半導体集積回路において、前記所定のクロック数を設定するモードレジスタを備えたことを特徴とする半導体集積回路。この半導体集積回路では、ウエイトクロック数の設定を行うモードレジスタを備えた。このため、電源の立ち上げ時等にモードレジスタを変更することで、基準クロック信号の周波数に応じたウエイトクロック数の設定を容易に行うことができる。

【０２２５】（１６）上記（１３）記載の半導体集積回路において、前記所定のクロック数を設定するヒューズを備えたことを特徴とする半導体集積回路。この半導体集積回路では、所定のクロック数の設定を行うヒューズを備えた。このため、製造工程において、製品仕様（周波数）に応じてヒューズを溶断することで、所定のクロック数の設定を簡易かつ確実に行うことができる。

【０２２６】（１７）上記（１３）記載の半導体集積回路において、前記所定のクロック数を設定する制御端子を備えたことを特徴とする半導体集積回路。この半導体集積回路では、所定のクロック数の設定を行う制御端子を備えた。このため、これ等制御端子を試験端子として使用して、製品の評価を行うことができる。これ等制御端子を電源線VDDまたは接地線VSSに接続することで、所定のクロック数に設定することができる。これ等制御端子を外部端子にすることで、半導体集積回路が搭載され

るシステムのクロック周波数に応じて、基板上で所定のクロック数の設定を行うことができる。

【０２２７】

【発明の効果】請求項１の半導体集積回路では、内部クロック信号と基準クロック信号との位相比較を常に正しく行うことができ、基準クロック信号の周波数によらず両信号の位相を必ず一致させることができる。遅延段の遅延時間を所定値に固定することで余分な素子を不要にし、レイアウトサイズを小さくすることができる。この結果、チップサイズを小さくすることができる。

【０２２８】補間回路を使用して内部クロック信号の位相の微調整を行ったので、微調整の最小単位を小さくすることができる。すなわち、高い周波数の基準クロック信号が供給される半導体集積回路においても確実に位相調整を行うことができる。請求項２の半導体集積回路では、内部クロック信号の位相調整を粗調整と微調整とに分けて行うことで、内部クロック信号と基準クロック信号との位相を、少ない位相比較回数で早く一致させることができる。

【０２２９】請求項３の半導体集積回路では、位相調整時に、２進カウンタのカウンタ値をリセットまたはセットする必要がないので、２進カウンタの制御を簡単かつ円滑に行うことができる。この結果、制御回路の動作のタイミング余裕を増大することができる。この結果、内部クロック信号にジッタが発生することを防止できる。請求項４の半導体集積回路では、位相の粗調整における位相比較の回数を低減することができる。請求項５の半導体集積回路では、消費電力を低減することができる。

【図面の簡単な説明】

【図１】請求項１ないし請求項５に記載の発明の基本原理を示すブロック図である。

【図２】本発明の半導体集積回路の第１の実施形態におけるクロック制御部を示すブロック図である。

【図３】図１の遅延クロック生成部を示すブロック図である。

【図４】図３の遅延段を示す回路図である。

【図５】図３の第１シフトレジスタを示す回路図である。

【図６】図３の第２シフトレジスタを示す回路図である。

【図７】図３の第１スイッチ回路を示す回路図である。

【図８】図３の第２スイッチ回路を示す回路図である。

【図９】図３の遅延段活性化回路を示す回路図である。

【図１０】図２の補間回路およびバッファを示す回路図である。

【図１１】補間回路の入力波形と出力波形とを示すタイミング図である。

【図１２】図２の位相比較部を示すブロック図である。

【図１３】図１０の第１分周回路および第２分周回路を示すブロック図である。

【図１４】図１３の分周器を示す回路図である。

【図１５】図１３の分周器の基本的な動作を示すタイミング図である。

【図１６】図１３の分周器の基本的な動作を示すタイミング図である。

【図１７】図１０の位相比較回路を示す回路図である。

【図１８】図１のラフ／ファイン制御部を示す回路図である。

【図１９】図１８の組み合わせ回路の動作を示す制御状態図である。

【図２０】図１のラフ制御回路を示すブロック図である。

【図２１】図２０のラフコントロールを示す回路図である。

【図２２】図２１の組み合わせ回路の動作を示す制御状態図である。

【図２３】図２０のラフコントロールの動作の概要を示すタイミング図である。

【図２４】図２０のラフシフトラッチを示す回路図である。

【図２５】図２０のシフト方向ラッチを示す回路図である。

【図２６】図２０のレジスタ選択スイッチを示す回路図である。

【図２７】図１のファイン制御部を示すブロック図である。

【図２８】図２７のファインコントロールを示す回路図である。

【図２９】図２７のファインコントロールの動作を示す制御状態図である。

【図３０】第１の実施形態における位相調整の制御を示すフローチャートである。

【図３１】第１の実施形態における位相調整の初期設定およびラフ初期調整の制御を示すフローチャートである。

【図３２】第１の実施形態におけるファイン初期調整の制御を示すフローチャートである。

【図３３】第１の実施形態におけるファイン初期調整の制御を示すフローチャートである。

【図３４】第１の実施形態におけるラフ／ファイン調整の制御を示すフローチャートである。

【図３５】第１の実施形態におけるラフ／ファイン調整の制御を示すフローチャートである。

【図３６】図１の開始信号発生器の動作を示すタイミング図である。

【図３７】図１２の位相比較部での各クロック信号の状態を示すタイミング図である。

【図３８】第１の実施形態のラフ初期調整時における内部クロック信号ACLK、BCLKの切り替え制御の概要を示す説明図である。

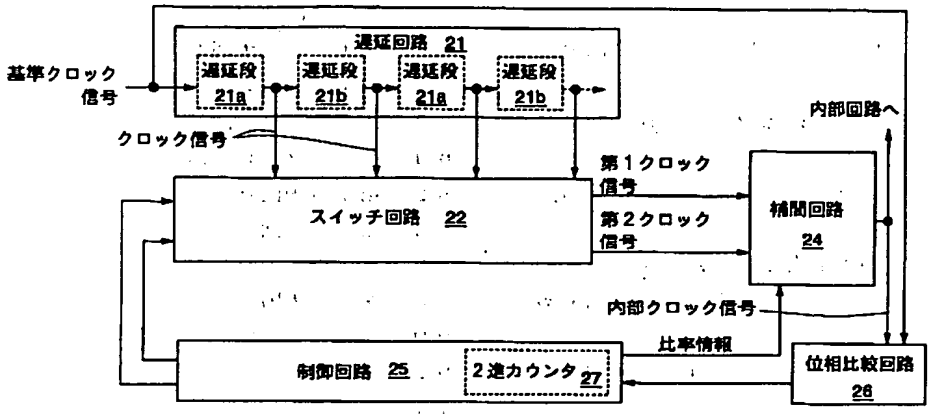
【図３９】第１の実施形態のラフ初期調整時における２進カウンクの初期値による内部クロック信号CLKIの変化を示す説明図である。
【図４０】第１の実施形態のファイン初期調整の概要を示す説明図である。
【図４１】本発明の半導体集積回路の第２の実施形態におけるクロック制御部を示すブロック図である。
【図４２】図４１の位相比較部を示すブロック図である。
【図４３】図４２のファイン位相比較回路を示す回路図である。
【図４４】図４２のラフ位相比較回路を示す回路図である。
【図４５】第２の実施形態におけるラフ位相比較回路の動作を示すタイミング図である。
【図４６】図４１のラフ／ファイン制御部を示す回路図である。
【図４７】図４１のラフ制御部を示す回路図である。
【図４８】図４７のラフコントロールを示す回路図である。
【図４９】図４８の組み合わせ回路の動作を示す制御状態図である。
【図５０】第２の実施形態における位相調整の制御を示すフローチャートである。
【図５１】本発明の半導体集積回路の第３の実施形態における第１分周回路を示すブロック図である。
【図５２】第３の実施形態における位相調整開始時の第１、第２分周器の動作を示すタイミング図である。
【図５３】第１、第２シフトレジスタを１つにまとめた例を示す回路図である。
【図５４】遅延段の別の例を示す回路図である。
【図５５】遅延段の別の例を示す回路図である。
【図５６】遅延段の別の例を示す回路図である。
【図５７】補間回路の別の例を示す回路図である。
【図５８】補間回路の別の例を示す回路図である。
【図５９】第１、第２スイッチ回路の別の例を示す回路図である。
【図６０】遅延段の別の例を示す回路図である。
【図６１】本発明をSDRAMに適用した例を示すブロック図である。
【図６２】図６１の遅延クロック生成部を示すブロック図である。
【図６３】従来の半導体集積回路を示すブロック図である。
【図６４】従来のクロック信号の位相調整の制御を示すフローチャートである。
【図６５】図６４における位相調整時の主要な信号を示すタイミング図である。
【符号の説明】
３０　クロック制御部
３２　開始信号発生器
３４ａ、３４ｂ　クロックバッファ
３６　遅延クロック生成部
３８、４０　補間回路
４２、４４　バッファ
４６　位相比較部
４８　ラフ／ファイン制御部
５０　ラフ制御部
５２　ファイン制御部
５４　遅延回路
５６　遅延段活性化回路
５８　第１スイッチ回路
６０　第１シフトレジスタ
６２　第２スイッチ回路
６４　第２シフトレジスタ
８２　第１分周回路
８４　第２分周回路
８６　ダミー出力バッファ
８８　ダミー入力バッファ
９０　位相比較回路
９２　分周器
１１８　ラフコントロール
１２０　ラフシフトラッチ
１２２　シフト方向ラッチ
１２４　レジスタ選択スイッチ
１３４　ファインコントロール
１３６　２進カウンタ
１３８　最大最小検出器
１４０　クロック制御部
１４１　位相比較部
１４２　ラフ／ファイン制御部
１４４　ラフ制御部
１４８　ファイン位相比較回路
１５０　ラフ位相比較回路
１５２　ラフコントロール
１５６　第１分周回路
１５６ａ、１５６ｂ、１５６ｃ　スイッチ
A、B、C、D　制御信号
A1、B1、C1、D1、A2、B2、C2、D2　制御信号
ABCLK、/ABCLK　内部クロック信号
ACLK、/ACLK、BCLK、/BCLK　内部クロック信号
CNT3、CNT2、CNT1、CNT0　カウンタ信号
CLK、/CLK　クロック信号
CLK-K、/CLK-K　内部クロック信号
COMP　比較結果信号
D01、D02、D03、D04　遅延段
D11、D12、D13　遅延段
DICLK　内部クロック信号
FCOMP　ファイン比較結果信号
FEN　ファインイネーブル信号

57　　58

MAX　最大信号
MIN　最小信号
RCOMP　ラフ比較結果信号
REFCLK　参照クロック信号
REN　ラフイネーブル信号
/RESET　リセット信号
RLON　ラフロックオン信号
RSD　ラフシフト方向信号
RSO　ラフシフト順番信号
STT　開始信号
TIM　タイミング信号

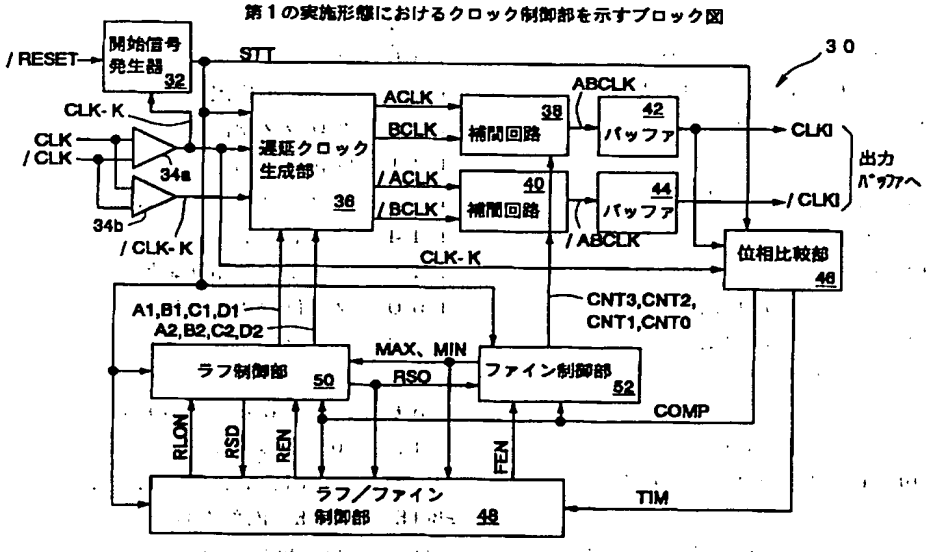
【図１】

請求項１ないし請求項５に記載の発明の基本原理を示すブロック図



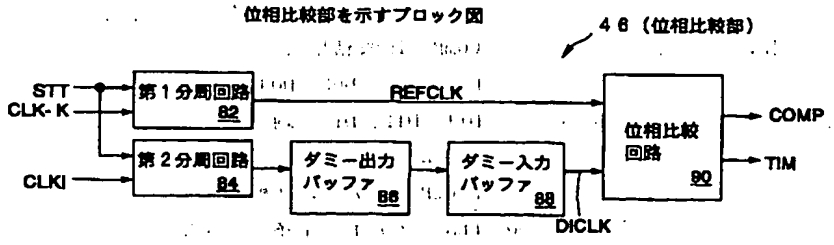
【図２】

第１の実施形態におけるクロック制御部を示すブロック図

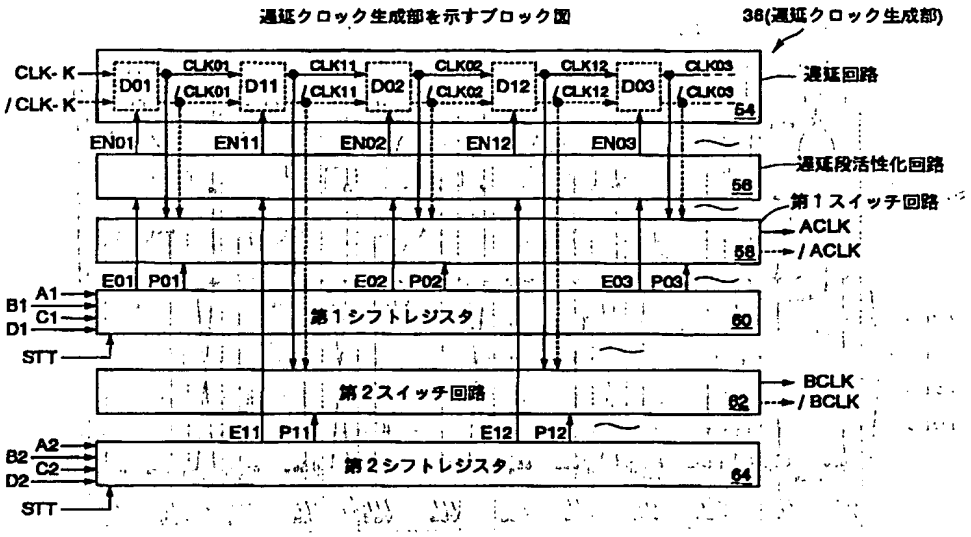


【図１２】

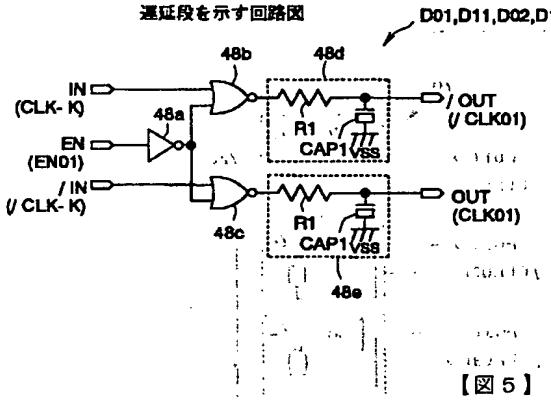
位相比較部を示すブロック図



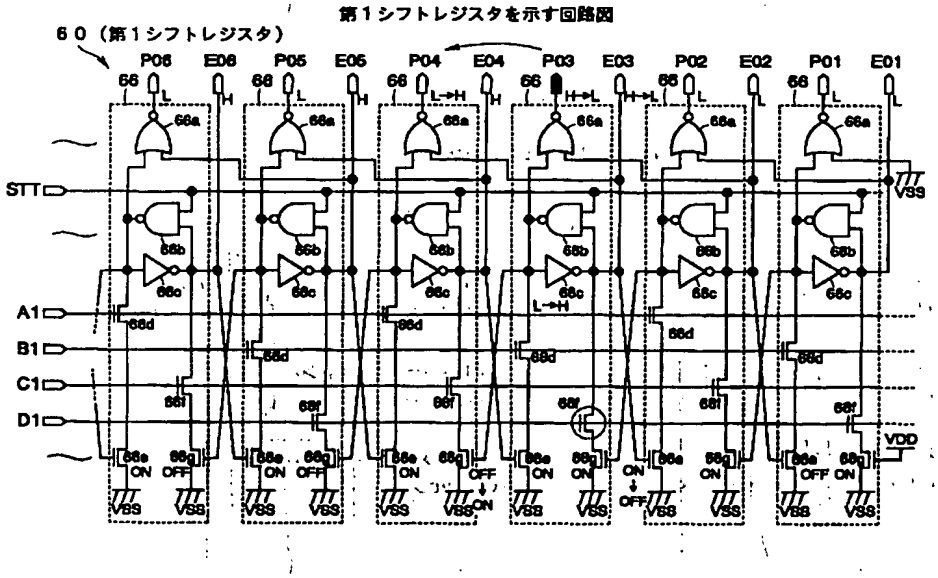
【図３】


遅延クロック生成部を示すブロック図
38(遅延クロック生成部)
CLK-K
/CLK-K
D01
D11
D02
D12
D03
CLK01
/CLK01
CLK11
/CLK11
CLK02
/CLK02
CLK12
/CLK12
CLK03
/CLK03
54
遅延回路
EN01
EN11
EN02
EN12
EN03
56
遅延段活性化回路
58
第１スイッチ回路
ACLK
/ACLK
E01
P01
E02
P02
E03
P03
A1
B1
C1
D1
STT
第１シフトレジスタ
60
第２スイッチ回路
62
BCLK
/BCLK
E11
P11
E12
P12
A2
B2
C2
D2
STT
第２シフトレジスタ
64

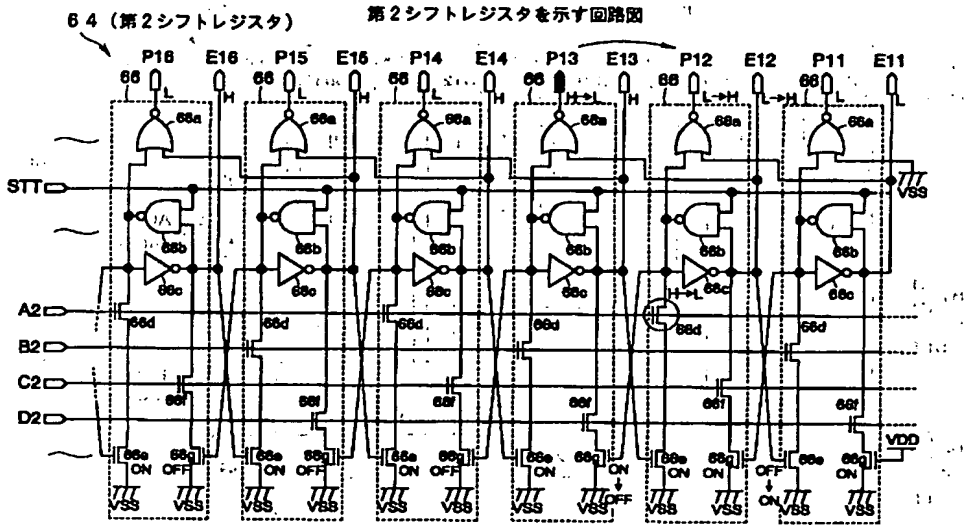
【図４】


遅延段を示す回路図
D01,D11,D02,D12,...(遅延段)
48b
48d
IN
(CLK-K)
48a
EN
(EN01)
/IN
(/CLK-K)
48c
R1
CAP1
VSS
/OUT
(/CLK01)
OUT
(CLK01)
48e

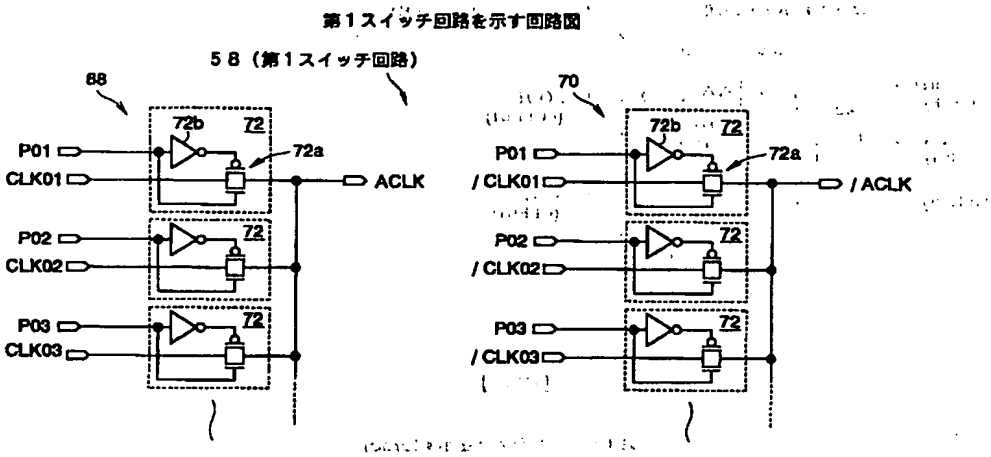
【図５】


第１シフトレジスタを示す回路図
６０（第１シフトレジスタ）
P06
E06
P05
E05
P04
E04
P03
E03
P02
E02
P01
E01
66
66a
66b
66c
66d
66e
66f
66g
STT
A1
B1
C1
D1
VSS
VDD
ON
OFF
L→H
H→L

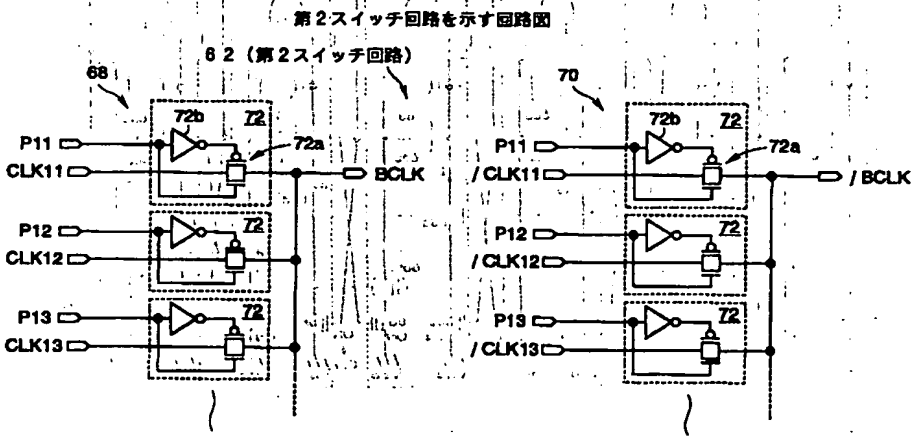
【図６】


６４（第２シフトレジスタ）
第２シフトレジスタを示す回路図
P16
E16
P15
E15
P14
E14
P13
E13
P12
E12
P11
E11
STT
A2
B2
C2
D2
VSS
VDD
ON
OFF

【図７】

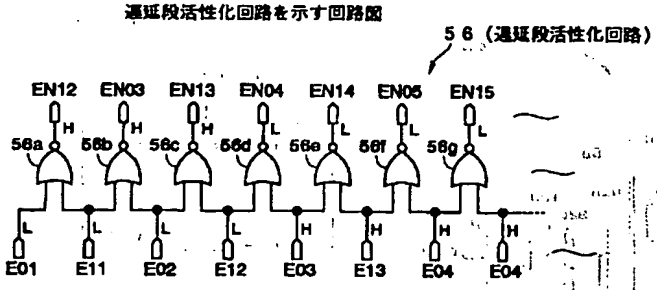

第１スイッチ回路を示す回路図
５８（第１スイッチ回路）
68
70
72
72a
72b
P01
CLK01
/CLK01
ACLK
/ACLK
P02
CLK02
/CLK02
P03
CLK03
/CLK03

【図８】


第２スイッチ回路を示す回路図
６２（第２スイッチ回路）
68
70
72
72a
72b
P11
CLK11
/CLK11
BCLK
/BCLK
P12
CLK12
/CLK12
P13
CLK13
/CLK13

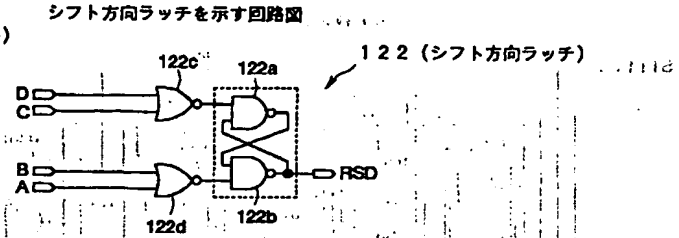
【図９】

遅延段活性化回路を示す回路図



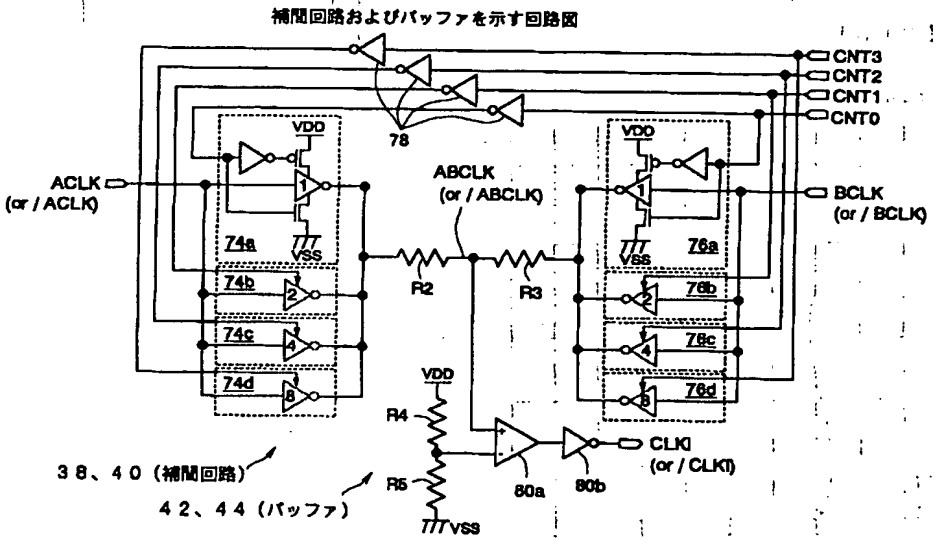
【図２５】

シフト方向ラッチを示す回路図



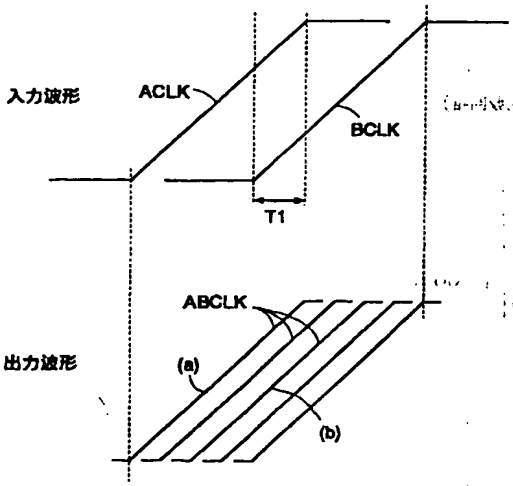
【図１０】

補間回路およびバッファを示す回路図



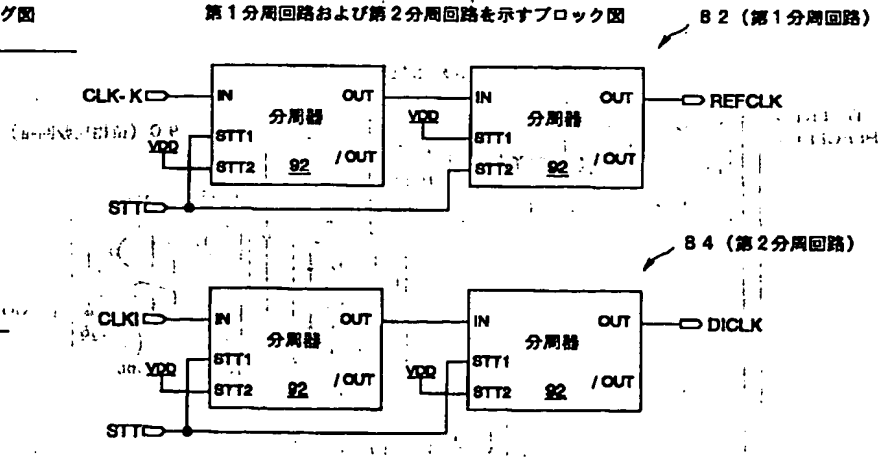
【図１１】

補間回路の入力波形と出力波形とを示すタイミング図



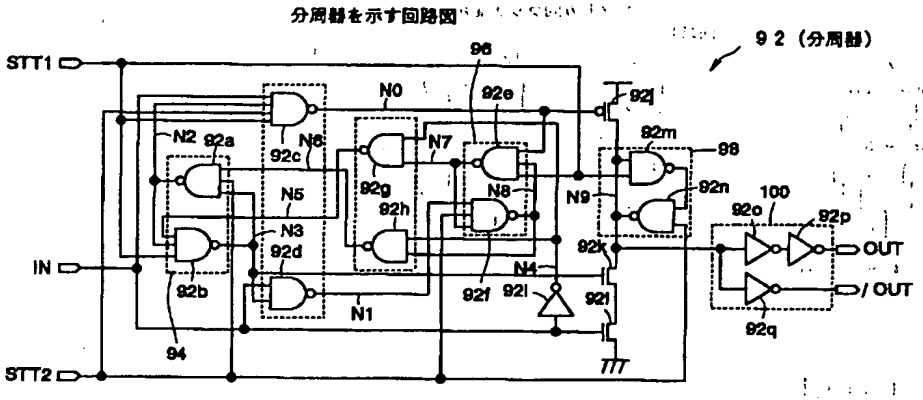
【図１３】

第１分周回路および第２分周回路を示すブロック図



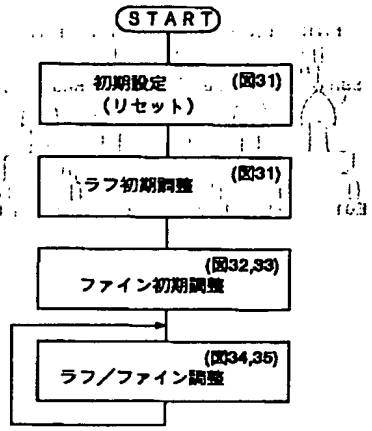
【図１４】

分周器を示す回路図



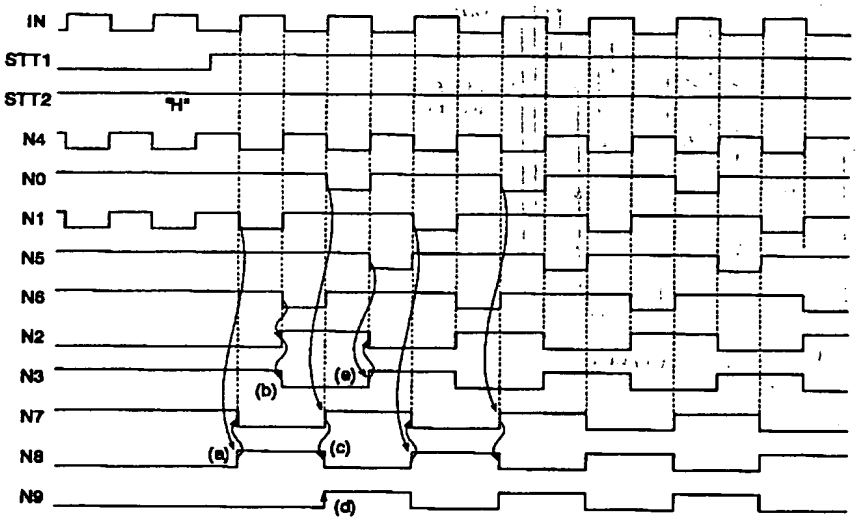
【図３０】

位相調整の制御を示すフローチャート



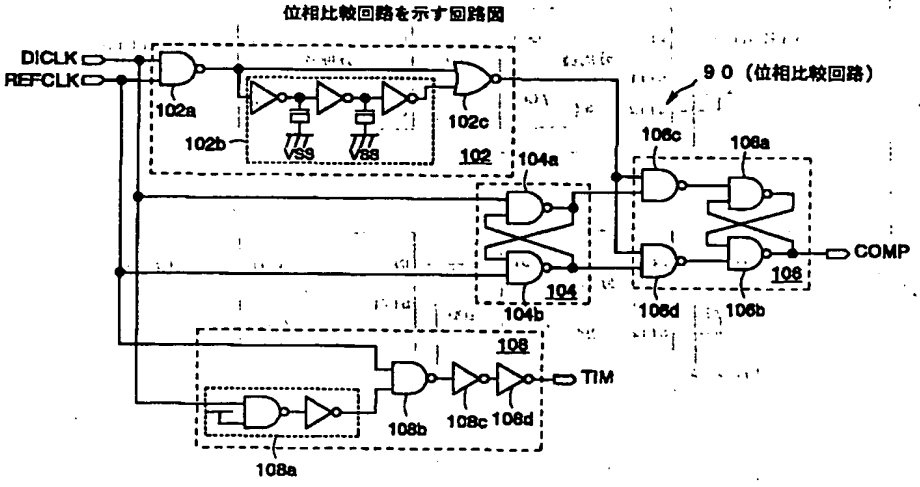
【図１５】

分周器の基本的な動作を示すタイミング図

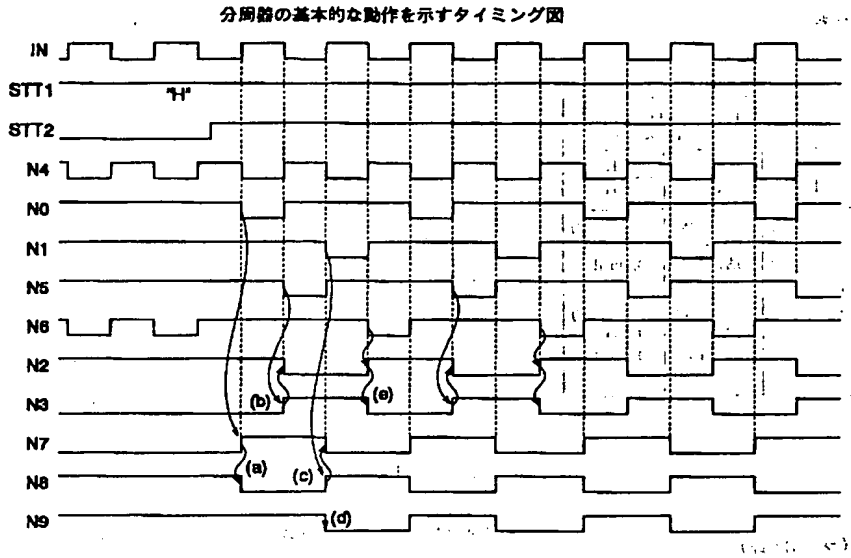


【図１７】

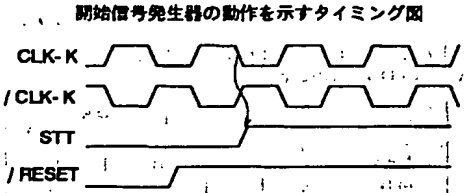
位相比較回路を示す回路図



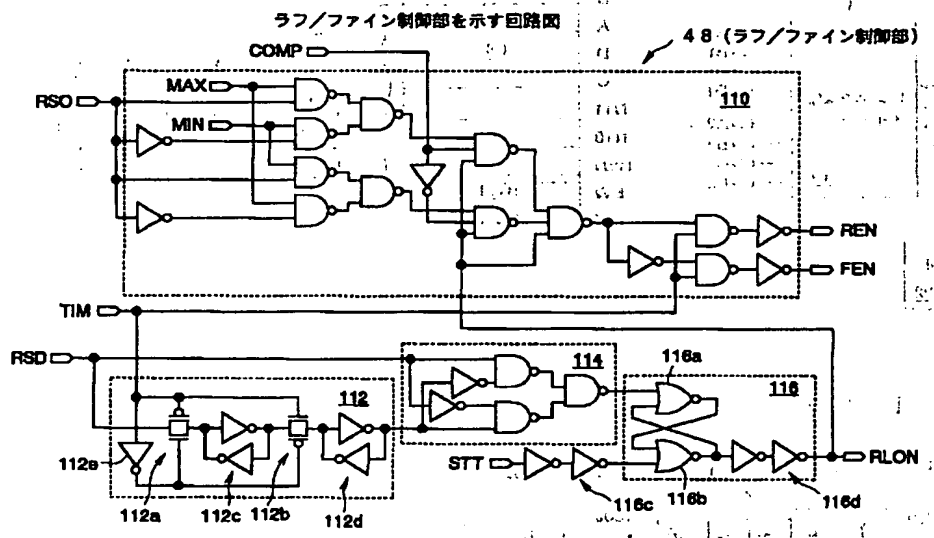
【図１６】



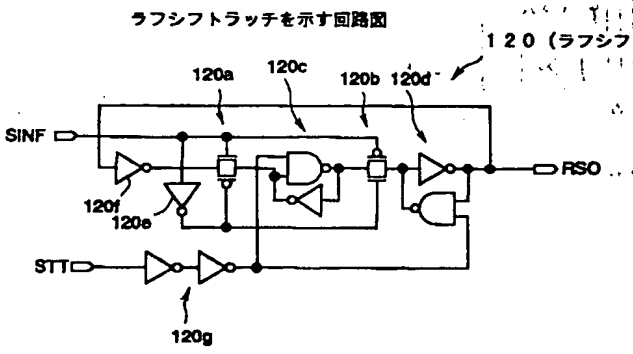
【図３６】



【図１８】



【図２４】



【図１９】

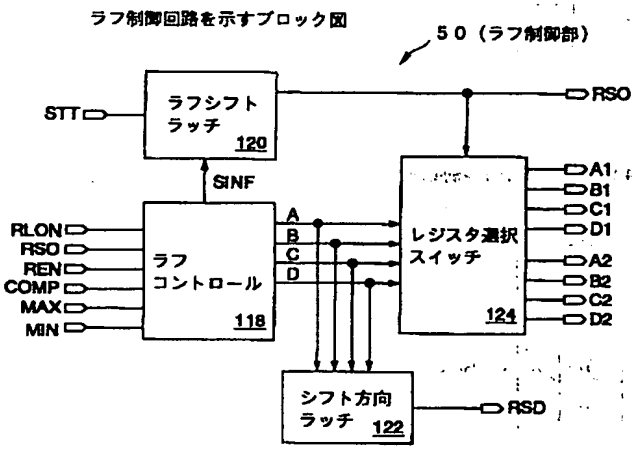
組み合わせ回路の動作を示す制御状態図

（１）RLON＝Ｌのとき：FENは常に活性化
（２）RLON＝Ｈのとき：

RSO	H (ACLK / BCLK)			L (ACLK / BCLK)		
MAX / MIN	L / L	H / L	L / H	L / L	H / L	L / H
COMP＝L (DICLKの位相を進める)	(A) FEN 活性化	(B) FEN 活性化	(D) REN 活性化	(F) FEN 活性化	(G) REN 活性化	(I) FEN 活性化
COMP＝H (DICLKの位相を遅らせる)		(C) REN 活性化	(E) FEN 活性化		(H) FEN 活性化	(J) REN 活性化

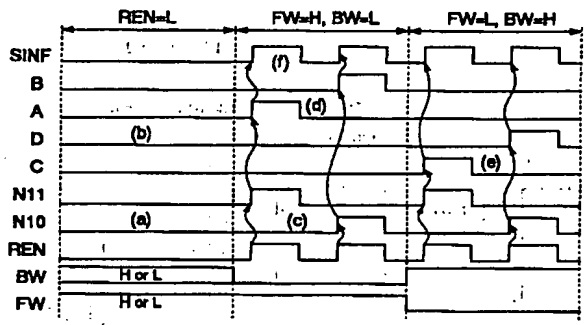
【図２０】

ラフ制御回路を示すブロック図



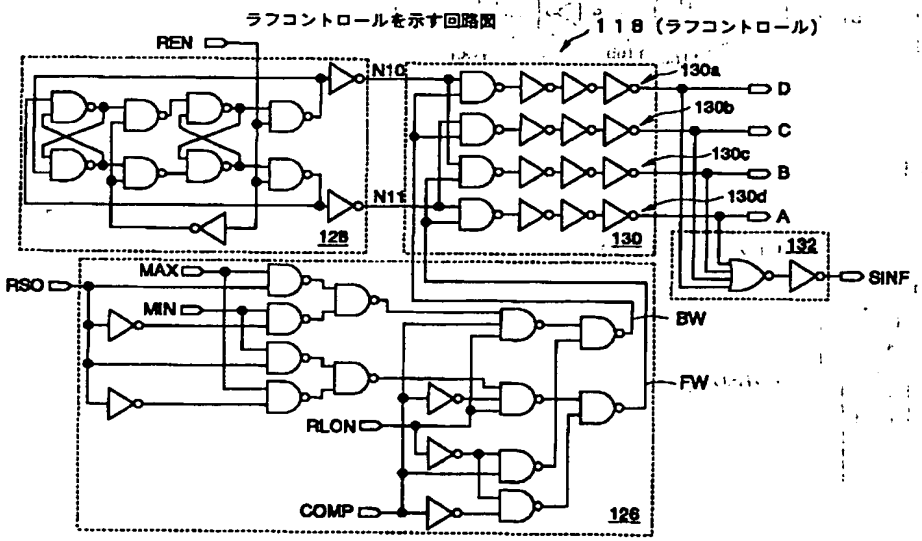
【図２３】

ラフコントロールの動作の概要を示すタイミング図



【図２１】

ラフコントロールを示す回路図



【図２２】

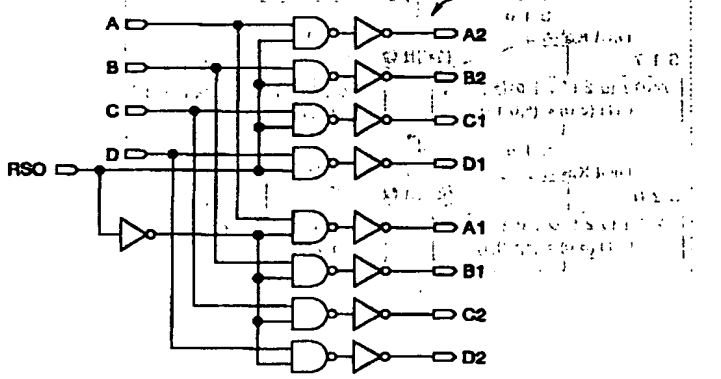
組み合わせ回路の動作を示す制御状態図

（１）RLON＝Ｌのとき：COMP＝ＬでFW活性化
　　COMP＝ＨでBW活性化
（２）RLON＝Ｈのとき：

RSO	H (ACLK / BCLK)			L (ACLK / BCLK)		
MAX / MIN	L / L	H / L	L / H	L / L	H / L	L / H
COMP＝L (DICLKの位相を進める)	(A) FW、BWとも非活性化	FW、(B) BWとも非活性化	FW (D) 活性化	(F) FW、BWとも非活性化	FW (G) 活性化	FW、(I) BWとも非活性化
COMP＝H (DICLKの位相を遅らせる)		BW (C) 活性化	FW、(E) BWとも非活性化		FW、(H) BWとも非活性化	BW (J) 活性化

【図２６】

レジスタ選択スイッチを示す回路図　　１２４（レジスタ選択スイッチ）



【図２９】

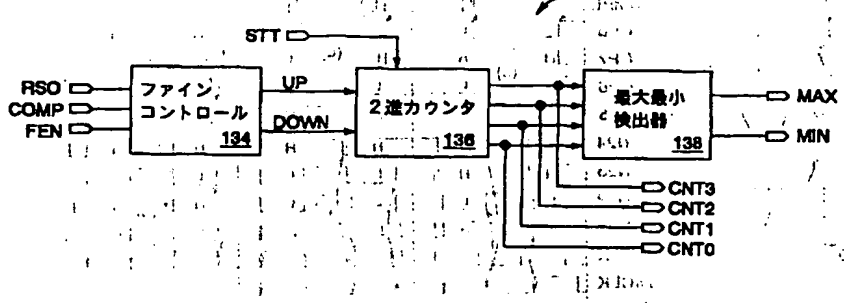
ファインコントロールの動作を示す制御状態図

（１）FEN＝Ｌのとき：UP、DOWNは常に非活性化
（２）FEN＝Ｈのとき：

RSO	H (ACLK / BCLK)	L (ACLK / BCLK)
COMP＝L (DICLKの位相を進める)	DOWN (A) 活性化	UP (C) 活性化
COMP＝H (DICLKの位相を遅らせる)	UP (B) 活性化	DOWN (D) 活性化

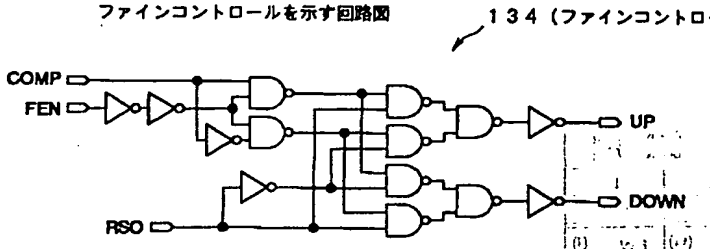
【図２７】

ファイン制御部を示すブロック図　　５２（ファイン制御部）



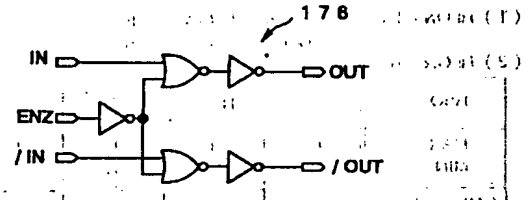
【図２８】

ファインコントロールを示す回路図



【図３１】

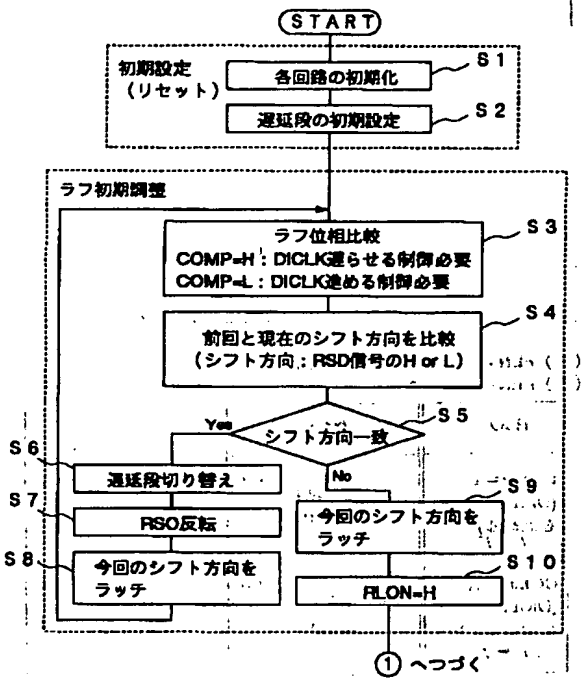
遅延段の別の例を示す回路図



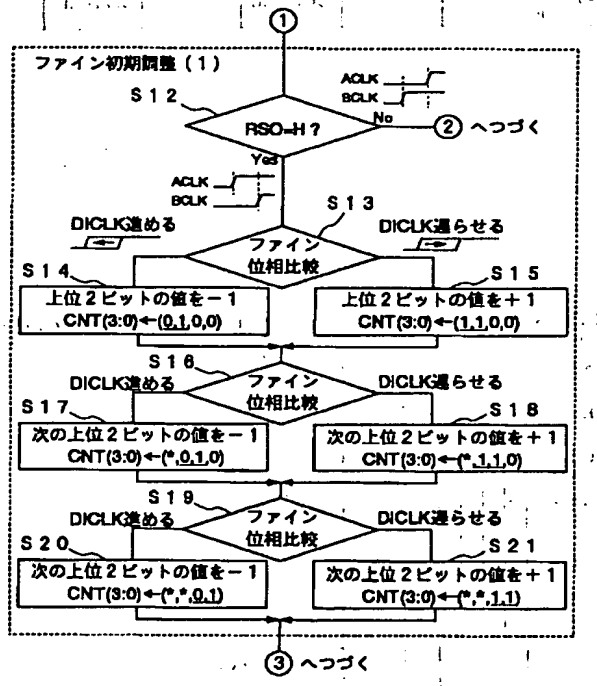
【図３２】

【図６０】

初期設定およびラフ初期調整の制御を示すフローチャート

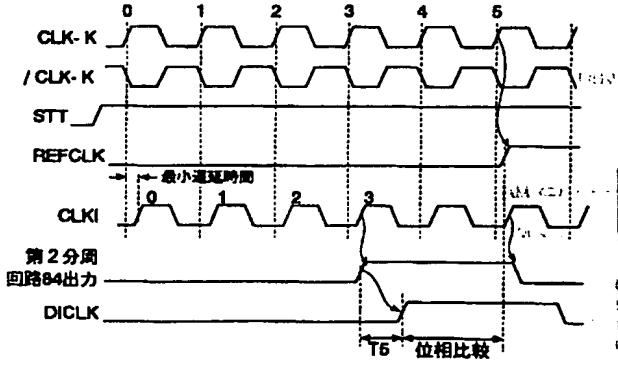


ファイン初期調整の制御を示すフローチャート



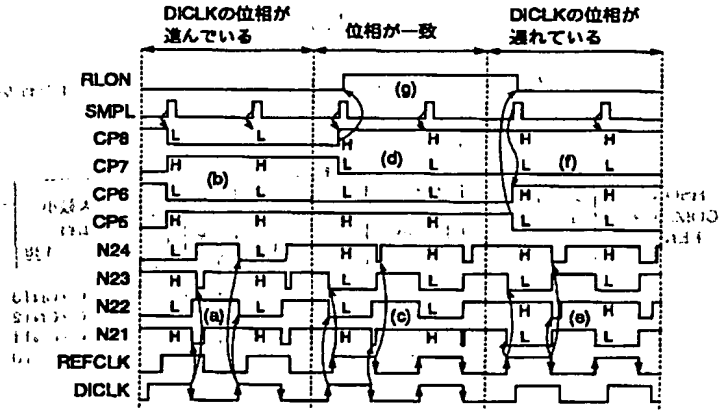
【図３７】

位相比較部での各クロック信号の状態を示すタイミング図



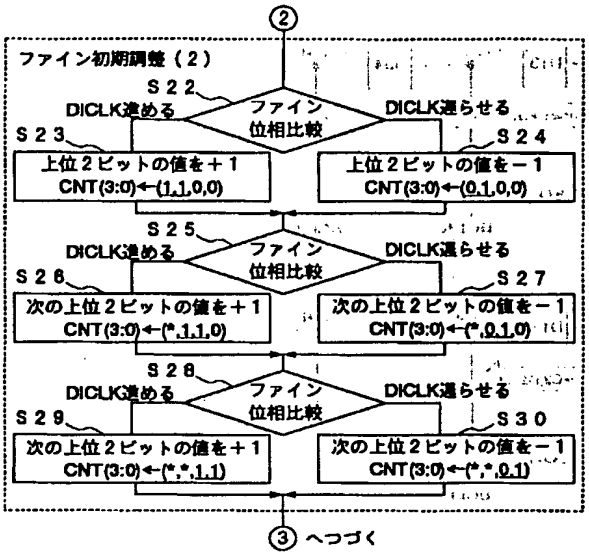
【図４５】

ラフ位相比較回路の動作を示すタイミング図



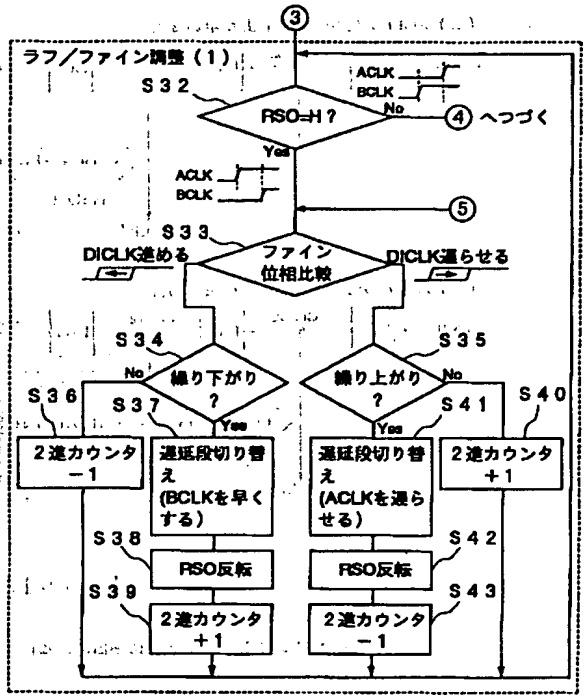
【図３３】

ファイン初期調整の制御を示すフローチャート



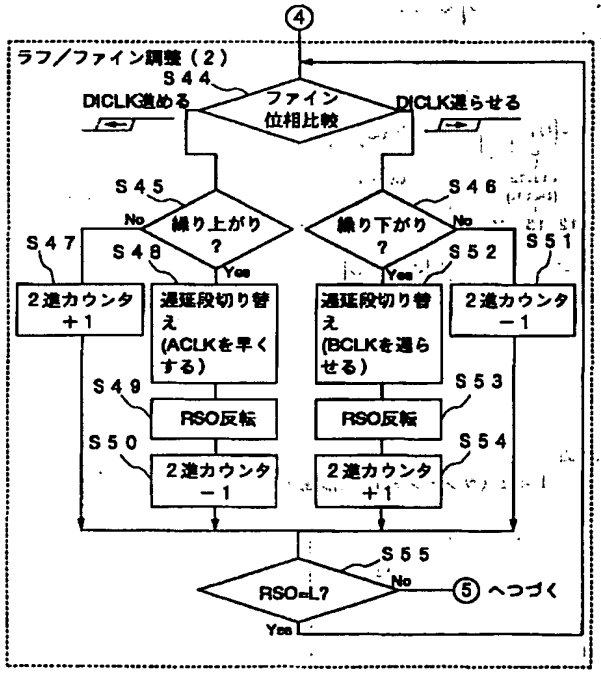
【図３４】

ラフ／ファイン調整の制御を示すフローチャート



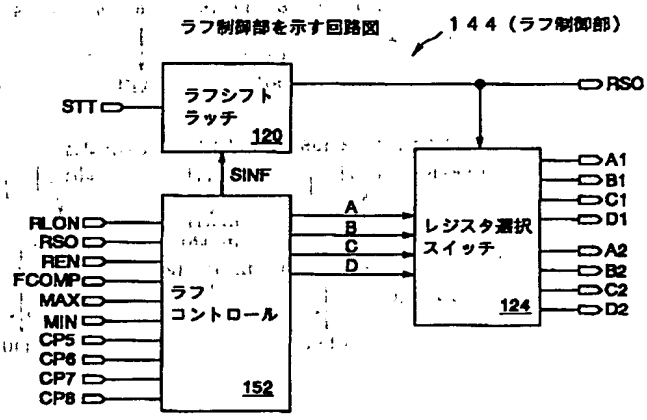
【図３５】

ラフ／ファイン調整の制御を示すフローチャート



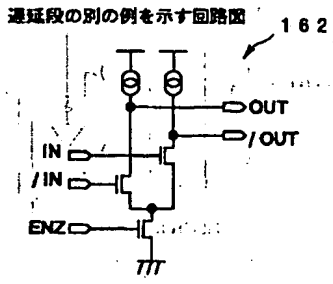
【図４７】

ラフ制御部を示す回路図



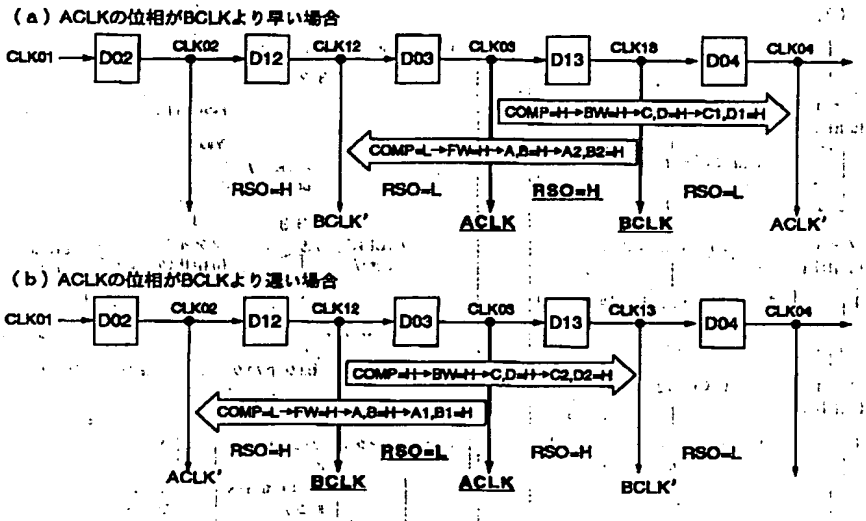
【図５４】

遅延段の別の例を示す回路図



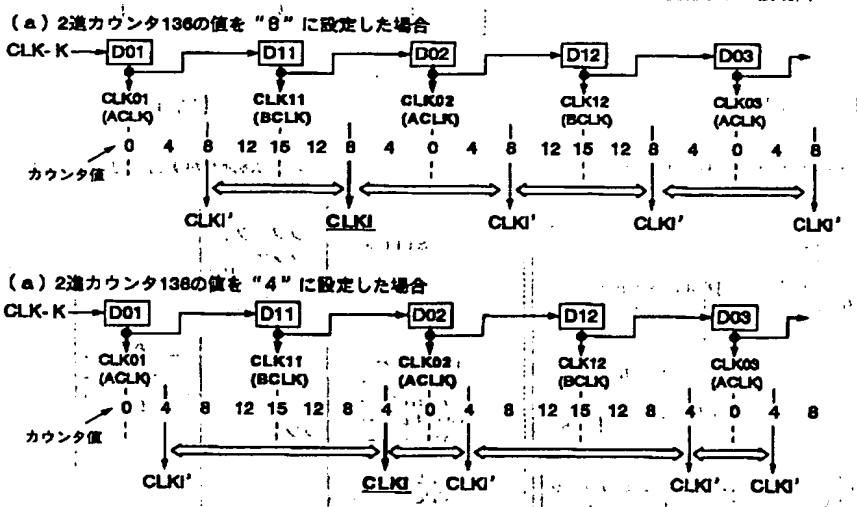
【図３８】

ラフ初期調整時における内部クロック信号ACLK、BCLKの切り替え制御の概要を示す説明図



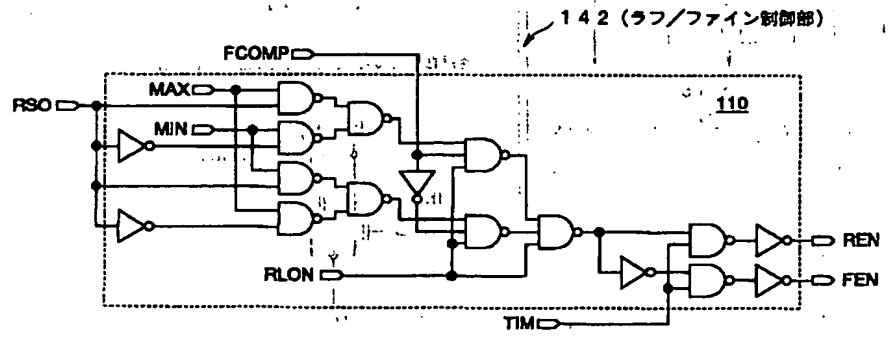
【図３９】

ラフ初期調整時における２進カウンタの初期値による内部クロック信号CLKIの変化を示す説明図



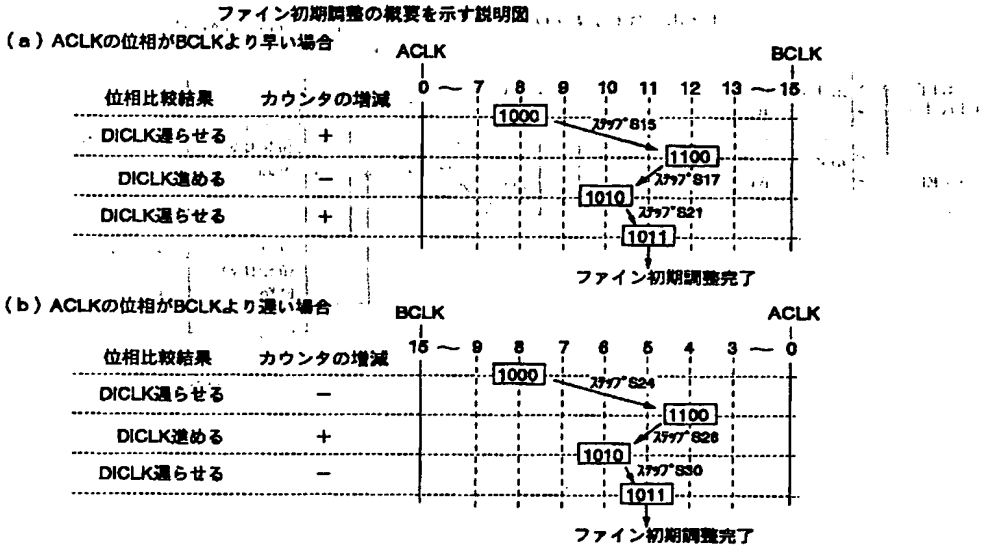
【図４６】

ラフ／ファイン制御部を示す回路図



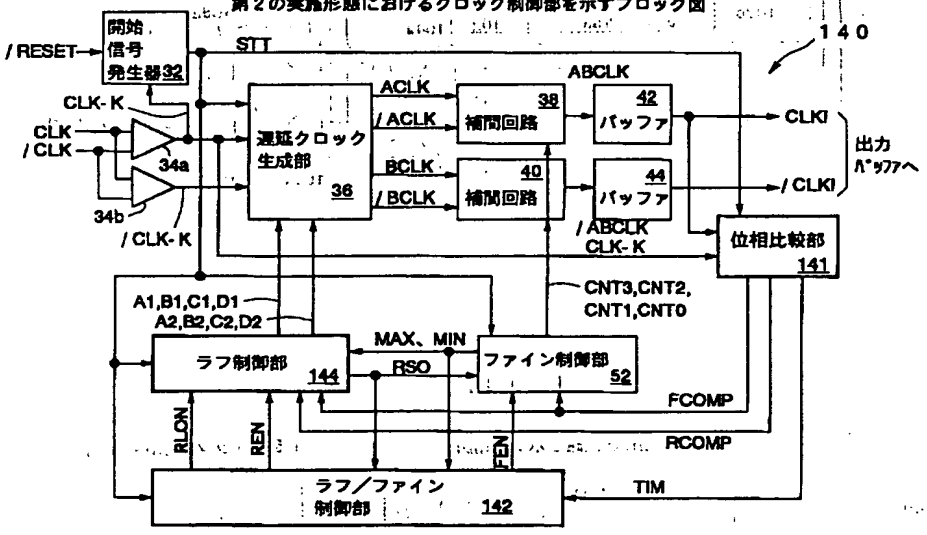
【図４０】

ファイン初期調整の概要を示す説明図



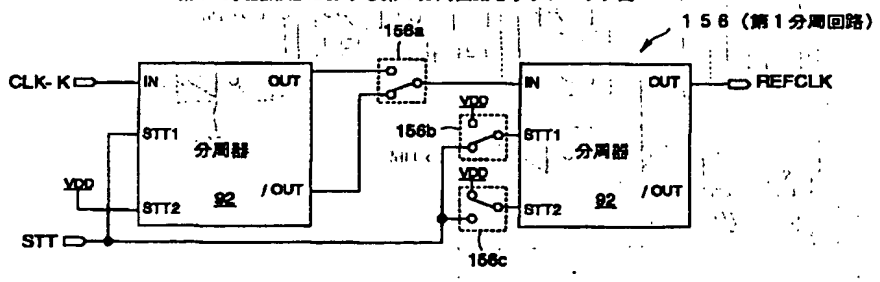
【図４１】

第２の実施形態におけるクロック制御部を示すブロック図



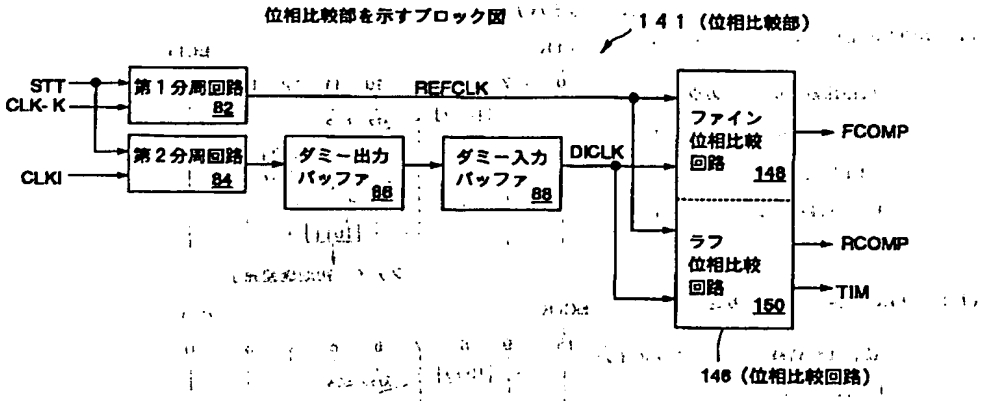
【図５１】

第３の実施形態における第１分周回路を示すブロック図



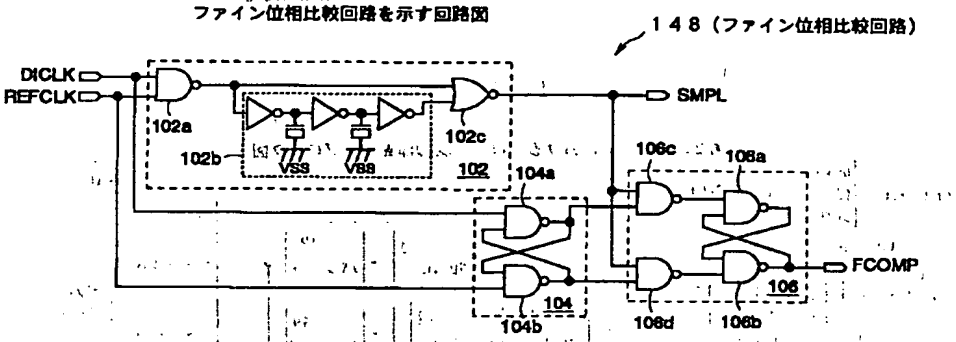
【図４２】

位相比較部を示すブロック図



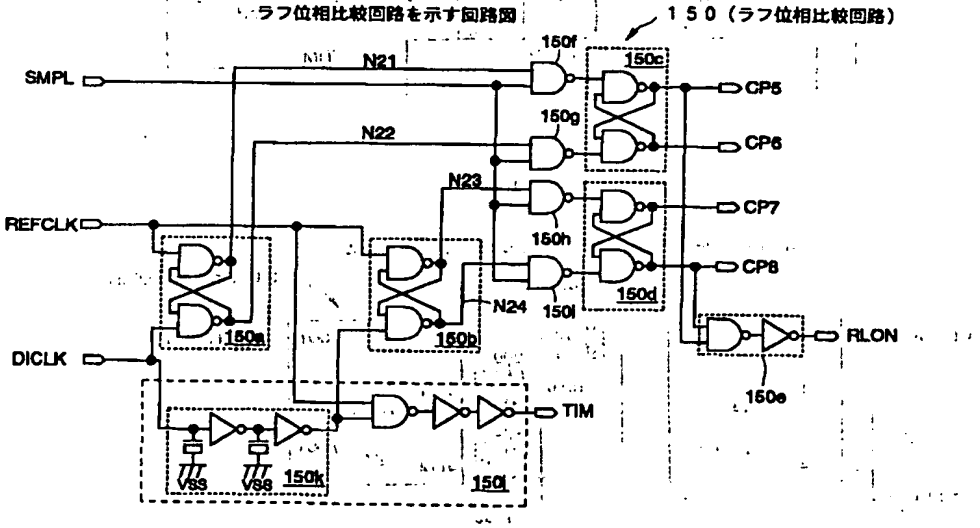
【図４３】

ファイン位相比較回路を示す回路図



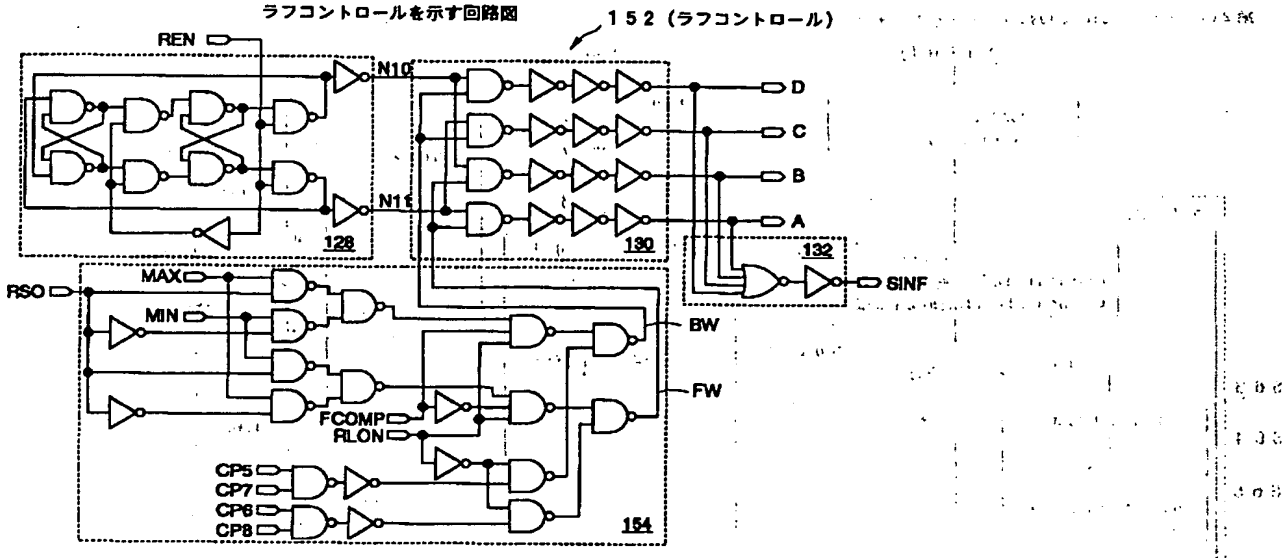
【図４４】

ラフ位相比較回路を示す回路図



【図４８】

ラフコントロールを示す回路図



【図４９】

組み合わせ回路の動作を示す制御状態図

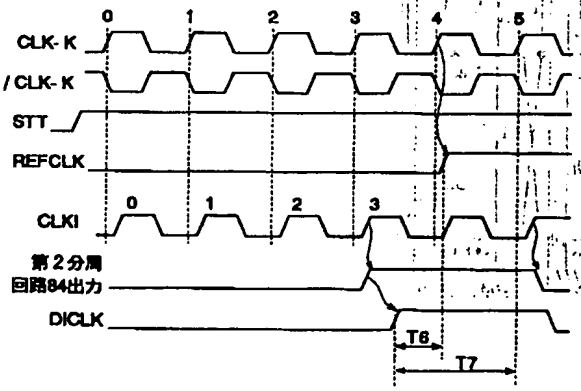
（１）RLON＝Ｌのとき：CP6=H, CP8=HでFW活性化
CP5=H, CP7=HでBW活性化

（２）RLON＝Ｈのとき：

RSO	H (ACLK / BCLK)			L (ACLK / BCLK)		
MAX / MIN	L / L	H / L	L / H	L / L	H / L	L / H
FCOMP＝L (DICLKの位相を進める)	(A) FW、BWとも非活性化	FW、(B) BWとも非活性化	FW (D) 活性化	(F) FW、BWとも非活性化	FW (G) 活性化	FW、(I) BWとも非活性化
FCOMP＝H (DICLKの位相を遅らせる)		BW (C) 活性化	FW、(E) BWとも非活性化		FW、(H) BWとも非活性化	BW (J) 活性化

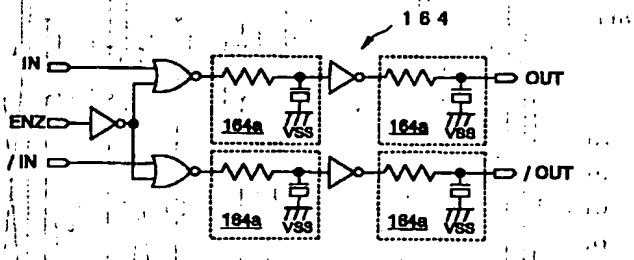
【図５２】

第３の実施形態における位相調整開始時の第１、第２分周器の動作を示すタイミング図



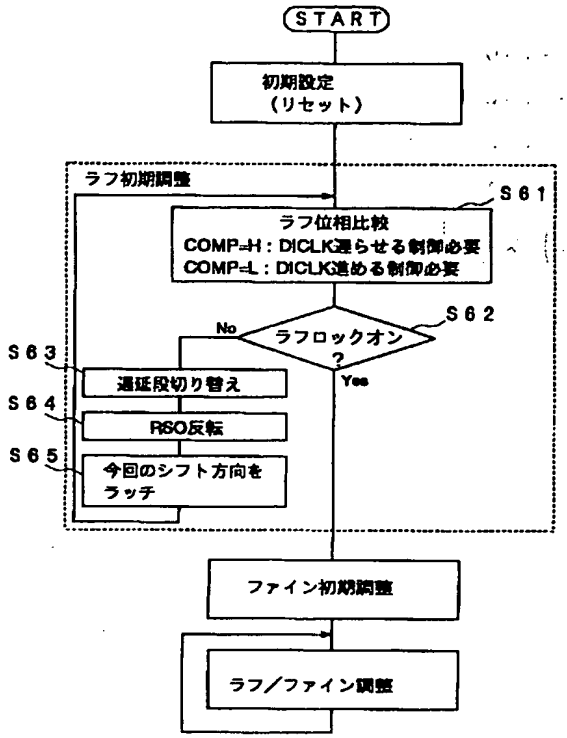
【図５５】

遅延段の別の例を示す回路図



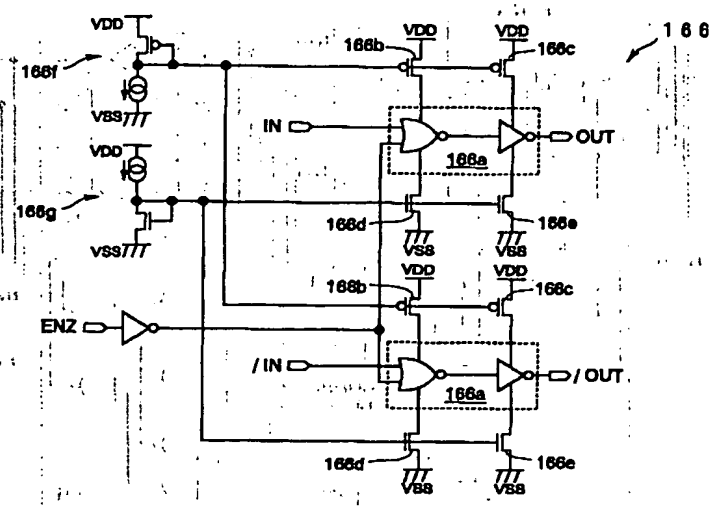
【図５０】

第２の実施形態における位相調整の制御を示すフローチャート



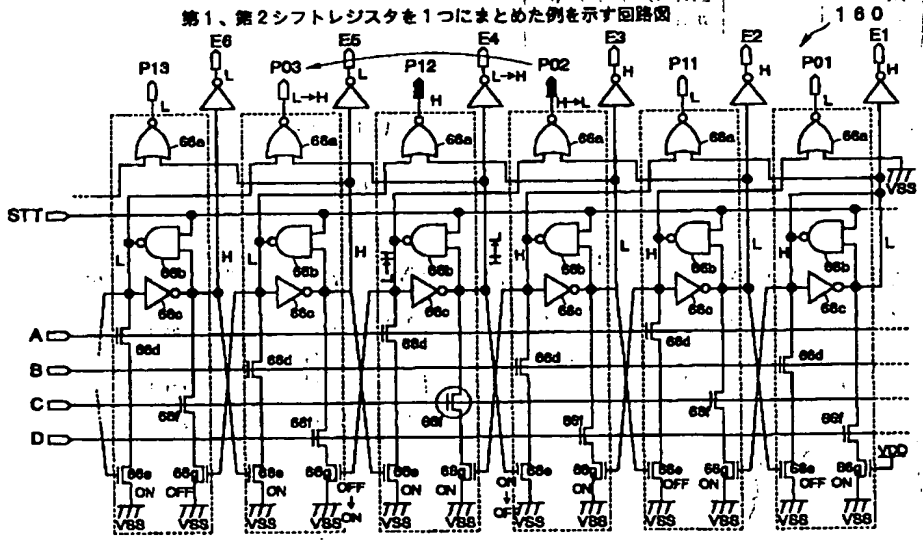
【図５６】

遅延段の別の例を示す回路図



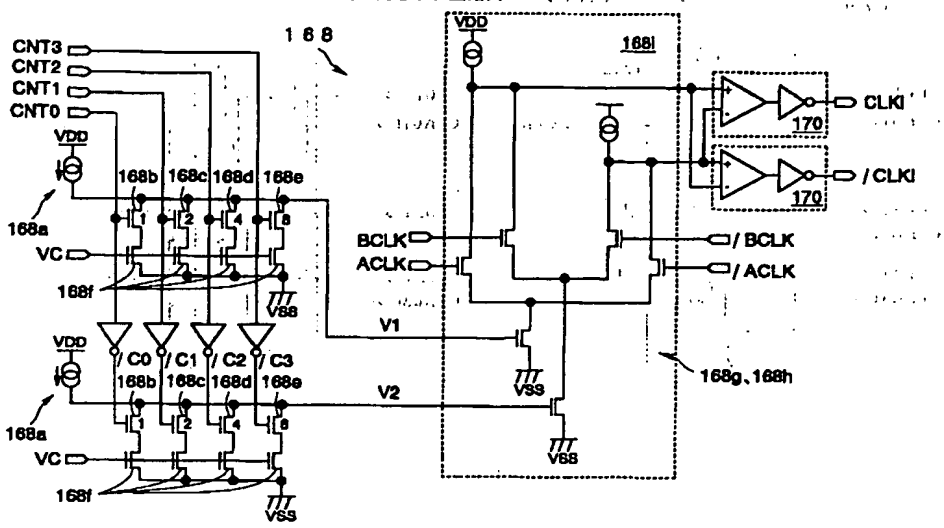
【図５３】

第１、第２シフトレジスタを１つにまとめた例を示す回路図



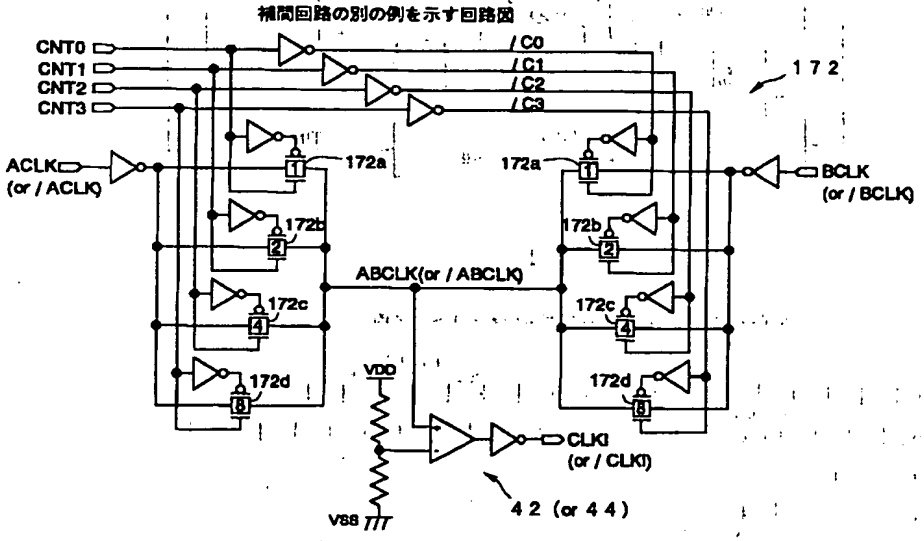
【図５７】

補間回路の別の例を示す回路図



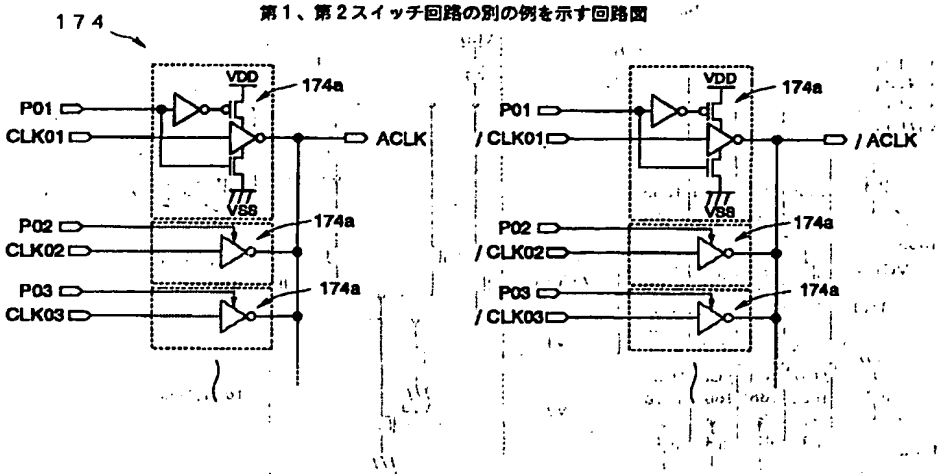
【図５８】

補間回路の別の例を示す回路図



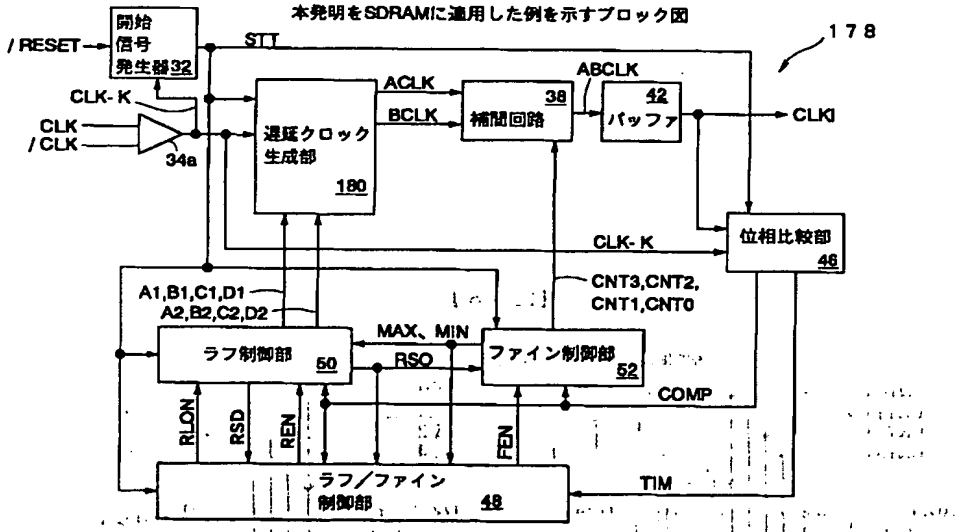
【図５９】

第１、第２スイッチ回路の別の例を示す回路図



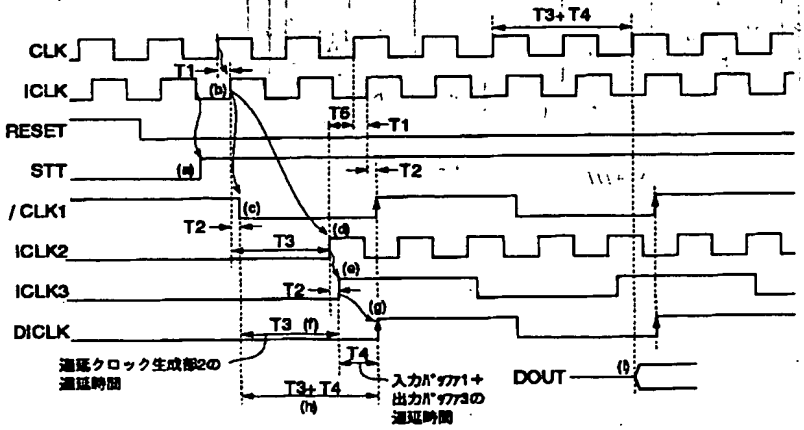
【図６１】

本発明をSDRAMに適用した例を示すブロック図



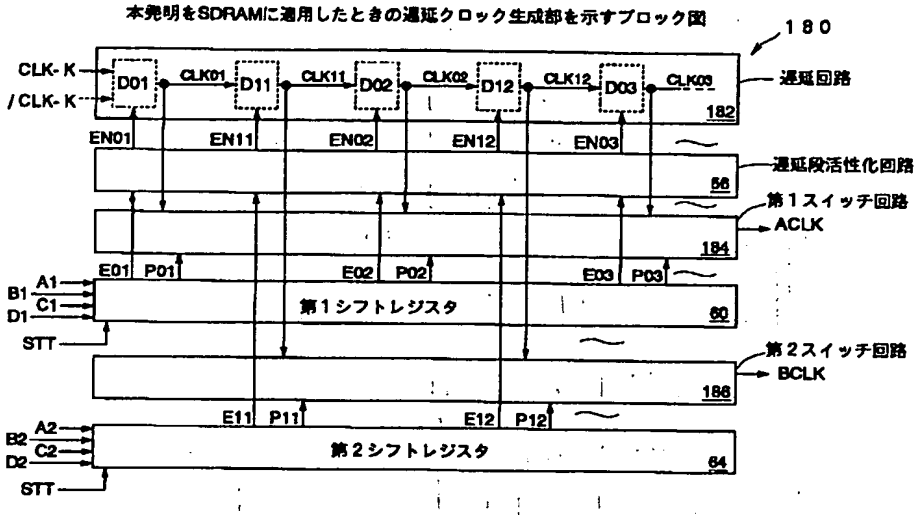
【図６５】

従来の位相調整時の主要な信号を示すタイミング図



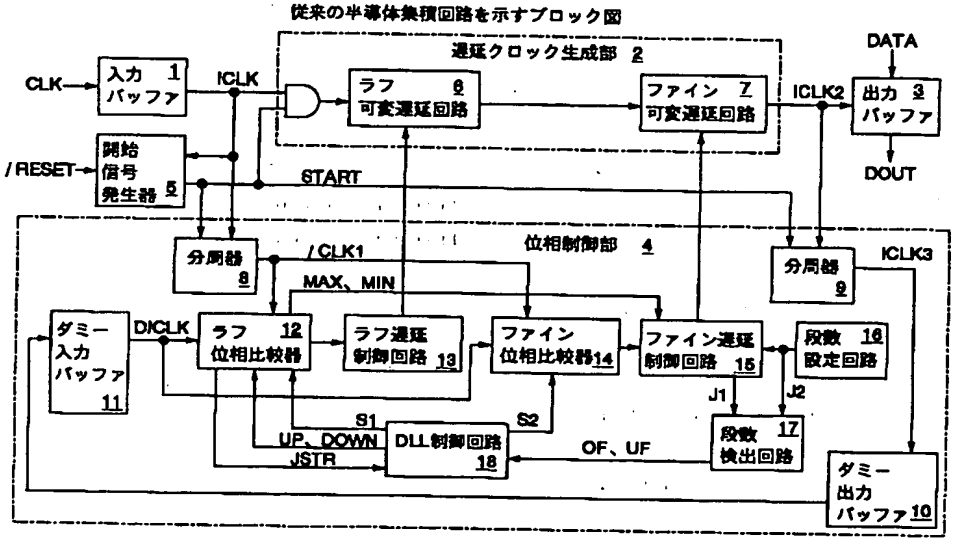
【図６２】

本発明をSDRAMに適用したときの遅延クロック生成部を示すブロック図

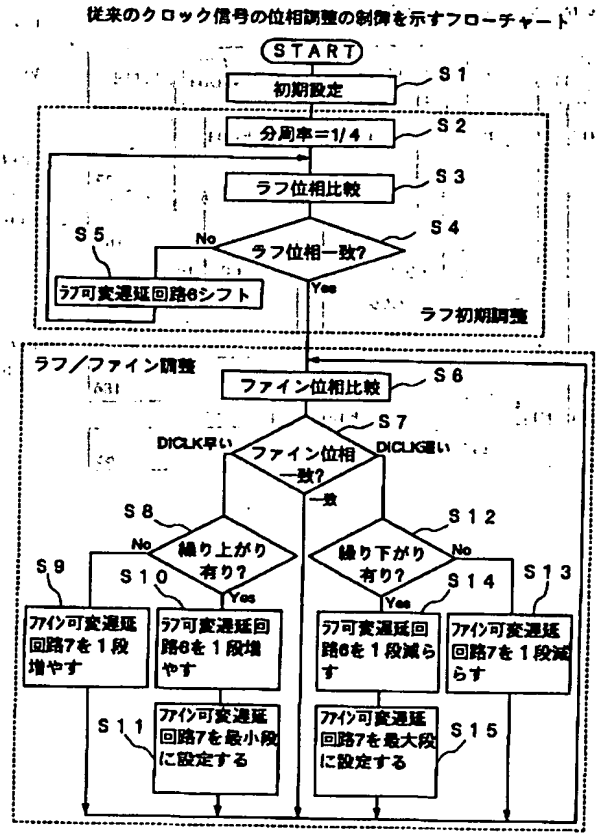


【図６３】

従来の半導体集積回路を示すブロック図



【図６４】



フロントページの続き

(51)Int.Cl.[7]	識別記号	FI	テーマコード(参考)
Ｈ０３Ｌ　7/081		Ｈ０３Ｋ　19/00	１０１Ｎ
		Ｈ０３Ｌ　7/08	Ｊ

Ｆターム(参考)　5B024 AA01 AA04 AA07 AA15 BA21
BA23 CA07
5B079 CC01 CC02 CC14 DD08
5J001 AA04 BB10 BB11 BB12 BB21
BB23 DD09
5J056 AA00 AA39 BB02 BB21 BB24
BB57 CC05 CC14 CC17 CC18
DD13 DD28 FF01 HH01 KK00
5J106 AA03 BB00 CC26 CC59 DD17
DD24 DD39 GG04 HH02 JJ02
KK03